

І.М. ЧЕРНЕНКО, О.І. ІВОН

**ОСНОВИ
КОМП'ЮТЕРНОЇ
ЕЛЕКТРОНІКИ.
ЕЛЕКТРОННІ ЕЛЕМЕНТИ ТА ВУЗЛИ
КОМП'ЮТЕРІВ**

*Затверджено Міністерством освіти і науки
України як підручник для студентів вищих
технічних навчальних закладів*

Дніпропетровськ, 2009

УДК 621.396.6+004.31(075.8)
ББК з973.2–04я73–5
Ч49

*Гриф надано Міністерством
освіти і науки України згідно
листа №1.4/18-Г-2338 від 24 грудня
2007 р.*

Рецензенти: В.І. Бойко – д-р техн. наук, проф., академік Академії наук вищої школи України, заслуж. діяч науки і техніки України, завідувач кафедри електроніки та автоматики Дніпродзержинського державного технічного університету; А.А. Зорі – д-р техн. наук, проф., заслуж. діяч науки і техніки України завідувач кафедри електронної техніки Донецького національного технічного університету; В.М. Співак – к-т техн. наук, проф. кафедри звукотехніки та ресстрації інформації Національного технічного університету України "Київський політехнічний інститут".

Черненко І.М., Івон О.І.

Ч49 Основи комп'ютерної електроніки. Електронні елементи та вузли комп'ютерів: Підручник.–Дніпропетровськ:, „Літограф”.–2009.–435 с., іл.

ISBN 978-966-2267-08-2

Викладено арифметично-логічні основи побудови і принципи функціонування елементів та вузлів комп'ютерної електроніки. Послідовно, починаючи з фізичних принципів роботи базових ключів комп'ютерної електроніки на біполярних і уніполярних транзисторах, розглянуто побудову і функціонування схем базових логічних елементів, тригерів, спеціальних елементів комп'ютерної техніки та цифрових вузлів комбінаційного і послідовнісного типів. Практична реалізація цифрових елементів та вузлів проілюстрована прикладами вітчизняних і закордонних аналогів мікросхем ТТЛШ і КМОНТЛ. Розглянуто фізичні принципи роботи елементів динамічної (DRAM), статичної (SRAM) і флеш-пам'яті та побудова на основі цих елементів запам'ятовуючих пристроїв комп'ютерної техніки.

Розраховано на студентів вищих технічних навчальних закладів.

УДК 621.396.6+004.31(075.8)

ББК з973.2–04я73–5

ISBN 978-966-2267-08-2

© І.М. Черненко, О.І. Івон, 2009

ЗМІСТ

Передмова.....	6
Перелік вживаних скорочень.....	8
Розділ 1. Арифметичні основи обчислювальних пристроїв.....	10
1.1. Загальні відомості, визначення.....	10
1.2. Способи представлення сигналів у обчислювальних пристроях. Системи числення.....	11
Розділ 2. Електронні ключі.....	19
2.1. Основні поняття. Класифікація, вимоги.....	19
2.2. Ключі на біполярних транзисторах.....	21
2.2.1. Загальні поняття.....	21
2.2.2. Статичний режим роботи ключового каскаду.....	23
2.2.3. Перехідні процеси в біполярному транзисторному ключі.....	31
2.2.4. Ключі з підвищеною швидкістю.....	34
2.2.5. Ключі на транзисторах Шоттки з динамічним навантаженням.....	40
2.3. Ключі на польових (уніполярних) транзисторах.....	42
2.3.1. Загальні поняття, особливості.....	42
2.3.2. Ключі з динамічним навантаженням.....	45
2.3.3. Ключі на комплементарних МОН – транзисторах.....	49
2.3.4. Перехідні процеси в МОН-транзисторних ключах.....	54
2.3.5. Двоспрямований ключ.....	59
Розділ 3. Математично-логічні основи цифрової техніки... 64	64
3.1. Математичні основи функціонування елементів та вузлів комп'ютерної електроніки.....	64
3.1.1. Основні поняття алгебри логіки. Логічна функція.....	64
3.1.2. Основні закони алгебри логіки.....	67
3.1.3. Способи задання булевих функцій.....	69
3.1.4. Елементарні логічні функції.....	74
3.1.5. Функціонально повні системи булевих функцій.....	78
3.1.6. Мінімізація логічних функцій.....	79
Розділ 4. Логічні елементи цифрових пристроїв..... 87	87
4.1. Загальні поняття. Умовне зображення логічних елементів.....	87
4.2. Параметри елементів цифрової електроніки.....	90
4.3. Базові логічні елементи транзисторно-транзисторної логіки Шоттки (ТТЛШ).....	96
4.3.1. Багатоємітерний n-p-n транзистор.....	96
4.3.2. Схема і принцип дії базового логічного елемента ТТЛШ.....	97
4.3.3. Резистор на вході базового логічного елемента ТТЛШ.....	113
4.3.4. Логічні елементи ТТЛШ з відкритим колектором.....	116

4.3.5. Логічні елементи ТТЛШ з трьома станами виходу.....	122
4.4 Базові логічні елементи на МОН-транзисторах.....	126
4.4.1. Базові логічні елементи МОН-транзисторної логіки...	126
4.4.2. Базові логічні елементи КМОН-транзисторної логіки	128
4.4.3. Логічні елементи КМОНТЛ з відкритим стоком і трьома вихідними станами.....	138
4.4.4. Монтажна логіка на елементах КМОНТЛ.....	140
4.5. Логічні елементи на польових транзисторах структури „метал-напівпровідник” з бар’єром Шотткі.....	142

Розділ 5. Тригерні елементи пам’яті цифрових пристроїв.....

5.1 Загальні поняття і класифікація тригерів.....	155
5.2 Параметри тригерів.....	158
5.3 Асинхронні і синхронні RS-тригери.....	160
5.3.1. Асинхронний RS-тригер.....	160
5.3.2. Синхронний RS-тригер.....	170
5.4 Асинхронні і синхронні D-тригери.....	176
5.4.1. Асинхронний D і DV-тригери.....	176
5.4.2. Синхронні D-тригери.....	180
5.5. Асинхронні і синхронні JK-тригери.....	188
5.5.1. Асинхронний JK-тригер.....	188
5.5.2. Синхронний JK-тригер.....	193
5.6. T-тригер.....	204
5.7. Несиметричний тригер (тригер Шмітта).....	208
5.8 Приклади використання тригерів.....	214
5.8.1. Усунення брязкоту контактів.....	214
5.8.2. Стартстопні пристрої.....	216
5.8.3. Виділення поодинокого імпульсу з послідовності тактових імпульсів.....	221

Розділ 6. Спеціальні елементи цифрових пристроїв.....

6.1. Інтегрувальні та диференційні RC-ланцюги. Дія аналогових електричних сигналів на логічні елементи....	226
6.2. Формувачі.....	232
6.3. Генератори поодиноких імпульсів (одновібратори).....	237
6.4. Генератори (мультивібратори).....	243

Розділ 7. Функціональні вузли цифрових пристроїв.....

7.1 Основні поняття, класифікація.....	257
7.2 Комбінаційні функціональні вузли.....	258
7.2.1. Дешифратори.....	258
7.2.2. Нарощування розрядності дешифраторів.....	264
7.2.3. Шифратори.....	269
7.2.4. Мультиплексори.....	275
7.2.5. Нарощування розрядності мультиплексорів.....	281
7.2.6. Мультиплексор, як універсальний логічний елемент..	284
7.2.7. Демультиплексори.....	285
7.2.8. Перетворювачі кодів.....	287
7.3. Комбінаційні арифметичні вузли.....	295

7.3.1. Загальна характеристика арифметичних вузлів.....	295
7.3.2. Однорозрядні двійкові суматори.....	297
7.3.3. Багаторозрядні двійкові суматори.....	300
7.3.4. Двійково-десятковий суматор.....	306
7.3.5. Реалізація операції віднімання на двійкових суматорах.....	308
7.3.6. Матричні помножувачі.....	309
7.3.7. Цифрові компаратори.....	312
7.3.8. Використання двійкових суматорів для порівняння чисел.....	317
7.4. Послідовнісні вузли.....	318
7.4.1. Загальна характеристика і класифікація регістрів.....	318
7.4.2. Паралельні (статичні) регістри.....	320
7.4.3. Регістри зсуву.....	324
7.4.4. Загальна характеристика і класифікація лічильників.....	336
7.4.5. Кільцеві лічильники.....	339
7.4.6. Двійкові лічильники.....	345
7.4.7. Двійкові лічильники з довільним і програмованим коефіцієнтом лічби.....	363
Розділ 8. Напівпровідникові запам'ятовуючі пристрої комп'ютера та їх елементи.....	
8.1 Основні поняття, класифікація.....	373
8.2 Параметри запам'ятовуючих пристроїв.....	377
8.3. Структури адресних запам'ятовуючих пристроїв.....	380
8.3.1. Загальні положення.....	380
8.3.2. Запам'ятовуючі пристрої зі структурою 2D.....	382
8.3.3. Запам'ятовуючі пристрої зі структурою 3D.....	384
8.3.4. Запам'ятовуючі пристрої зі структурою 2DM.....	385
8.4. Динамічні запам'ятовуючі пристрої та їх елементи.....	387
8.4.1. Запам'ятовуючий елемент DRAM.....	387
8.4.2. Підсилювач-регенератор, регенерація DRAM.....	391
8.5. Статичні запам'ятовуючі пристрої та їх елементи.....	394
8.6. Постійні запам'ятовуючі пристрої та їх елементи.....	398
8.6.1 Масочні і одноразово програмовані ПЗП.....	398
8.6.2. МОН-транзистори з плаваючим затвором.....	402
8.6.3. МНОН-транзистори.....	411
8.6.4. Флеш-пам'ять.....	414
<i>Список літератури.....</i>	433

ПЕРЕДМОВА

Технічний та економічний рівень держави в значній мірі визначається розвитком її електронної промисловості. У теперішній час розвиток мікроелектроніки в державах СНД знаходиться у кризовому стані, а Україна, на жаль, за останні роки практично втратила свою електронну промисловість. Слід зазначити, що відставання у мікроелектронній галузі від передових держав (США, Японія) намітилося ще у СРСР, коли не був здійснений перехід до виробництва субмікронних інтегральних мікросхем. Це відставання посилилося при переході до ринкової економіки, де на перший план виходить конкурентна здатність продукції. Перспективи розвитку української мікроелектроніки складно передбачити, оскільки виведення її на сучасний рівень потребує вкладення величезних коштів. Державна підтримка на належному рівні на даний час є не реальною, оскільки навіть великі фірми – виробники мікроелектронної продукції, вимушені об'єднувати зусилля для акумулювання коштів на створення нових мікросхем мікропроцесорів, пам'яті тощо. В той же час Україна, яка займала друге місце серед республік СРСР по об'єму виробництва електронних виробів, на наш погляд, не може відмовитися від промисловості високих технологій, якою є цифрова мікроелектроніка.

Слід відмітити, що відсутність вітчизняних цифрових мікросхем сучасного рівня компенсується доступністю закордонної елементної бази, яка може бути використана для розгортання в Україні підприємств з виготовлення різноманітних електронних виробів контрольно-вимірювальної техніки автоматики та інших. Тому вивчення цифрових елементів і вузлів, на яких будуються мікросхеми сучасної цифрової електроніки, має важливе практичне значення.

В даному підручнику розглянуті принципи побудови і функціонування елементів і вузлів цифрової електроніки, які використовуються в комп'ютерній схемотехніці. Оскільки на відміну від аналогової електроніки, цифрова електроніка базується на математичному апараті алгебри логіки, автори намагалися, як можна ширше, проілюструвати його використання для побудови схем елементів і вузлів комп'ютерної електроніки. Практична реалізація елементів і вузлів проілюстрована прикладами вітчизняних і закордонних аналогів мікросхем малого і середнього ступеня інтеграції. Останній розділ підручника, де розглянуті фізи-

чні принципи роботи МНОН-транзисторів і МОН-транзисторів з плаваючим затвором та архітектура флеш-пам'яті, на думку авторів усуває практичну відсутність інформації з цих питань в навчальній літературі.

Підручник призначений для студентів спеціальностей, навчальні плани яких передбачають вивчення комп'ютерної електроніки, зокрема таких як „Комп'ютерні системи та мережі”, „Електроніка та мікроелектроніка”, „Мікроелектроніка та напівпровідникові прилади”, „Радіофізика та електроніка”.

Підручник розраховано на читачів, які в обов'язку університетського курсу вивчили вищу математику, фізику, знайомі з основами теорії електричних сигналів та кіл, параметрами та характеристиками біполярних і уніполярних транзисторів. Тому викладання навчального матеріалу починається безпосередньо зі схемотехніки базових електронних ключів та базових логічних елементів цифрової електроніки. Автори намагались зробити навчальний матеріал якомога глибоким і всебічним, при цьому застарілі технічні рішення не розглядалися. В кожному розділі для перевірки ступеня засвоєння навчального матеріалу наведено список контрольних запитань.

Зміст підручника базується на навчальних програмах, які використовуються в навчальному процесі на факультеті фізики, електроніки і комп'ютерних систем Дніпропетровського національного університету і відповідають освітньо-підготовчій програмі відповідного напрямку Міністерства освіти і науки України.

Автори висловлюють щире подяку рецензентам за цінні зауваження, що сприяли поліпшенню підручника.

Звичайно, в підручнику можна знайти вади, яких не змогли позбутися автори. Ми будемо раді, якщо ви повідомите нам про них. Наша адреса: 49010, м. Дніпропетровськ, пр. Гагаріна, 72, ДНУ ім. О. Гончара.

Перелік вживаних скорочень

АЛП	арифметично-логічний пристрій
АЦП	аналоого-цифровий перетворювач
БЕТ	багатомітерний транзистор
БіКМОН	технологія виготовлення цифрових мікросхем, які побудовані на базових логічних елементах ТТЛШ і КМОНТЛ
БФ	булева функція
БК	бістабільна комірка
ВАХ	вольт-амперна характеристика
ВІС	велика інтегральна схема
ВК	відкритий колектор
ДДНФ	досконала диз'юнктивна нормальна форма
ДКНФ	досконала кон'юнктивна нормальна форма
ДНФ	диз'юнктивна нормальна форма
ДТЛ	діодно-транзисторна логіка
ЕЗЛ	емітерно-зв'язана логіка
ЕОМ	електронна обчислювальна машина
ЗБа	загальна база
ЗЕ	запам'ятовуючий елемент
ЗЕм	загальний емітер
ЗКл	загальний колектор
ЗМ	запам'ятовуючий масив
ЗП	запам'ятовуючий пристрій
ІМС	інтегральна мікросхема
КМОН	комплементарна МОН-структура
КМОНТЛ	комплементарна МОН-транзисторна логіка
КНС	технологія кремній на сапфірі
КНФ	кон'юнктивна нормальна форма
КП	комірка пам'яті
ЛА	лінія адреси
ЛВ	лінія вибірки
ЛЕ	логічний елемент
ЛЗп	лінія записування
ЛЗпЗч	лінія записування-зчитування
ЛЗч	лінія зчитування
ЛІЗ МОН	лавинна інжекція заряду в структурі МОН
ЛС	лінія слова
МДН	структура „метал-діелектрик-напівпровідник”
МДНФ	мінімальна диз'юнктивна нормальна форма
МНОН	структура „метал-нітрид-оксид-напівпровідник”
МПЗП	масочний постійний запам'ятовуючий пристрій

МЕН	структура „метал-напівпровідник”
МКНФ	мінімальна кон’юнктивна нормальна форма
МОН	структура „метал-оксид-напівпровідник”
МОНТЛ	МОН-транзисторна логіка
НДО	негативний диференціальний опір
НЗП	напівпровідниковий запам’ятовуючий пристрій
ОЗП	оперативний запам’ятовуючий пристрій
ОНО	структура „оксид-нітрид-оксид”
ОПЗ	область просторового заряду
ПЗ	плаваючий затвор
ПЗЗ	позитивний зворотний зв’язок
ПЗП	постійний запам’ятовуючий пристрій
ППЗП	одноразово програмований постійний запам’ятовуючий пристрій
ПТШ	польовий транзистор з бар’єром Шотткі
ПХ	передаточна характеристика
РПЗП	репрограмований постійний запам’ятовуючий пристрій
ТДНФ	тупикова диз’юнктивна нормальна форма
ТТЛ	транзисторно-транзисторна логіка
ТТЛШ	транзисторно-транзисторна логіка Шотткі
ТШ	транзистор Шотткі
РПЗП-ЕС	РПЗП з електричним стиранням даних
РПЗП-УФ	РПЗП із стиранням даних ультрафіолетовим світлом
УФ	ультрафіолетовий
ЦАП	цифро-аналоговий перетворювач

Розділ 1. АРИФМЕТИЧНІ ОСНОВИ ОБЧИСЛЮВАЛЬНИХ ПРИСТРОЇВ

1.1. Загальні відомості, визначення

Термін „комп’ютер” є транскрипцією англійського слова computer, що означає обчислювач. Цей термін в українськомовній науковій літературі застосовується з 80-х років минулого сторіччя, як синонім поняття „електронна обчислювальна машина” (ЕОМ).

Згідно сучасним уявленням ЕОМ – це комплекс програмних і апаратних засобів, які призначені для автоматичної обробки інформації за заданим алгоритмом.

Електронні обчислювальні машини відрізняються одна від одної функціональними можливостями, технічними параметрами, конструктивними рішеннями, програмним забезпеченням, наборами сервісних послуг та іншим. Але при цьому всі ЕОМ містять подібні набори основних апаратних компонентів, сумісне функціонування яких надає їм властивості обчислювального пристрою.

У складі ЕОМ виділяють наступні компоненти:

- 1) системний блок;
- 2) монітор;
- 3) клавіатура;
- 4) вказівні пристрої (найчастіше „миша”);
- 5) периферійні пристрої.

Системний блок містить основні складові комп’ютера. Найважливішим з них є **материнська** або **системна плата**. Розташовані на ній електронні модулі або **чіпсети**, а також центральний процесор і оперативний запам’ятовуючий пристрій (який також називається оперативною або основною пам’яттю) складають базовий комплект електроніки комп’ютера. Системний блок містить також зовнішні запам’ятовуючі пристрої – накопичувачі на жорстких магнітних дисках – вінчестери, накопичувачі на гнучких магнітних та компакт (CD-ROM) дисках, накопичувачі на магнітооптичних дисках і джерело електричного живлення.

З системним блоком з’єднані всі зовнішні (периферійні) пристрої: монітор (дисплей), принтер, модем, звукові колонки (динаміки), сканер та інші.

Електронні **пристрої** комп’ютера являють собою експлуатаційно неавтономну, але схемотехнічно завершену його частину, яка виконує самостійну функцію обробки

або зберігання інформації. За конструктивно-технологічною ознакою ці складові схемотехніки ЕОМ є **інтегральними мікросхемами**. Так відрізняють, наприклад, мікросхеми процесора, пам'яті, контролерів вводу-виводу та інші. Такі мікросхеми в сучасних комп'ютерах містять десятки мільйонів транзисторів. В свою чергу електронні пристрої комп'ютера складаються з сукупності більш простих схемотехнічних компонентів – **електронних вузлів**, схема яких містить десятки або сотні транзисторів. Такі вузли призначені для перетворення і зберігання багаторозрядних двійкових кодів, які звичайно називають словами і використовують для подання інформації в комп'ютері. До електронних вузлів відносяться дешифратори, шифратори, мультиплексори, суматори, цифрові компаратори, регістри, лічильники та інші. Схеми таких вузлів побудовані з компонентів, які в обчислювальній техніці прийнято називати **електронними елементами**. Схеми елементів як правило містять до десятка або трохи більше транзисторів. Електронні елементи ЕОМ призначені для:

- 1) виконання логічних функцій;
- 2) запису, зберігання і зчитування одного біту інформації;
- 3) формування, перетворення та підсилення сигналів.

Перелічені функції елементи ЕОМ виконують шляхом формування та обміну змінними у часі електричними напругами визначеної форми, які в комп'ютерній електроніці прийнято називати **цифровими сигналами**. Під цифровими сигналами розуміють електричні сигнали, які є дискретними за часом та величиною електричної напруги.

1.2. Способи представлення сигналів в обчислювальних пристроях. Системи числення.

Звичайно дискретні значення сигналу в пристроях ЕОМ представляють у **числовому вигляді**. Представлення дискретних значень сигналу числами або електричними імпульсами з різними параметрами називають **кодуванням**. Оскільки в обчислювальних пристроях використовують числове представлення, то коди, які використовують в ЕОМ, називають **числовими**.

Пристрої формування, перетворення, передачі та зберігання числових кодів називають **цифровими пристроями**. В цьому сенсі сучасні ЕОМ є цифровими пристроями.

Цифрові електронні пристрої мають ряд переваг, до яких слід віднести: високу заводостійкість, здібність довго

зберігати інформацію без її втрат, економічну ефективність, високі енергетичні показники, сумісність з інтегральною технологією та інші.

Для представлення чисел в ЕОМ використовують **системи числення**, під якими розуміють сукупність знаків і цифр, а також правил їх запису. Системи числення поділяються на **непозиційні** та **позиційні**.

В **непозиційних системах** значення кожної цифри не залежить від її позиції у запису числа. Прикладом непозиційної системи є римська система числення. Недоліком непозиційних систем є необмежена кількість різноманітних цифр, необхідних для представлення будь-якого числа.

В **позиційних системах числення** значення цифри знаходиться у строгій відповідності з її позицією (місцеположенням) у запису числа. Позицію визначає місце розташуванням цифри у запису числа відносно коми. Будь-яке число N у позиційній системі числення записують як

$$N = x_{n-1}x_{n-2}\dots x_1x_0,x_1x_2\dots x_m. \quad (1.1)$$

„Вага” цифри у числі визначається значенням самої цифри і множником q^i , де q – просте число, яке називають **основою системи числення**, i – порядковий номер позиції, починаючи з нуля.

У звичній десятковій системі числення основа $q = 10$ і десять різних цифр, тобто x_i можуть приймати значення **0, 1, 2, …, 9**. Наприклад, число $N = 123,45$ означає скорочений запис виразу:

$$N = 1 \cdot 10^2 + 2 \cdot 10^1 + 3 \cdot 10^0 + 4 \cdot 10^{-1} + 5 \cdot 10^{-2}.$$

У загальному випадку (x_i – будь-які цифри, q – будь-яка основа системи числення) число N в позиційній системі числення, записане у вигляді (1.1) визначається поліномом:

$$N = x_{n-1}q^{n-1} + x_{n-2}q^{n-2} + \dots + x_1q^1 + x_0q^0 + x_{-1}q^{-1} + x_{-2}q^{-2} + \dots + x_{-m}q^{-m}, \quad (1.2)$$

де q^i – ваговий коефіцієнт.

Відзначимо, що основа системи числення q може бути як цілим, так і дробовим числом. Як правило, у всіх системах числення з основою меншою ніж 10, для представлення цифр застосовують арабські цифри, а в системах числення з основою більшою ніж 10 – ще й літери латинського алфавіту. Наприклад, цифрам **шістнадцятирічної системи числення 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F** відповідають наступні десяткові числа **0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15**.

Якщо у (1.2) відкинути вагові коефіцієнти q^i і знаки складання, то отримаємо скорочений запис числа (1.1), який має назву **q-ічний код числа**. Номер позиції цифри x_i називають її розрядом. Розряди з позитивними ступенями

q створюють цілу, а з негативними ступенями дробову частину числа. У (1.1) цифри x_{n-1} та x_m відповідають старшому і молодшому розрядам числа N .

Кількість різноманітних чисел K в позиційній системі числення з основою q при числі розрядів n в цілій частині і m в дробовій частині числа дорівнює:

$$K = q^{n+m} \quad (1.3)$$

Кількість розрядів, яка необхідна для запису деякого числа N в позиційній системі числення з основою q визначається, з урахуванням (1.3), наступним чином:

$$n+m \geq \log_q(N + 1). \quad (1.4)$$

Широке розповсюдження у цифровій техніці отримала позиційна система числення з основою 2 – **двійкова система числення**. У такій системі використовують тільки дві цифри 0 та 1 . Двійковий розряд, який представляє найменшу кількість інформації, називають **бітом**. Послідовність двійкових цифр $x_{n-1}x_{n-2}\dots x_1x_0$ є записом цілого двійкового числа

$$N = x_{n-1}2^{n-1} + x_{n-2}2^{n-2} + \dots + x_12^1 + x_02^0.$$

В комп'ютерній техніці будь-яка інформація (символи, числа, колір тощо) задається за допомогою двійкових чисел (двійкових кодів). Мінімальна адресована одиниця інформації, що обробляє комп'ютер, кодується за допомогою восьмирозрядного двійкового числа **байта (1 байт = 8 біт)**. На практиці часто використовують кратні байту одиниці: **слово = 2 байта = 16 біт; подвійне слово = 4 байта = 32 біт; кілобайт = $2^{10} = 1024$ байт; мегабайт = $2^{20} = 1048576$ байт; гігабайт = $2^{30} = 1073741824$ байт** та інші.

Для скорочення запису програмних кодів, зокрема при програмуванні на мові асемблера, у обчислювальній техніці використовують також восьмирічну та шістнадцятирічну системи числення. У восьмирічній системі кожна цифра відображується двійковою тріадою, тобто трьохрозрядним двійковим числом, у шістнадцятирічній – тетрадою, тобто чотирьохрозрядним двійковим числом (табл. 1.1).

Для перетворення цілого двійкового числа у восьмирічну систему числення, його, починаючи з молодших розрядів, розбивають на тріади, кожна з яких записують як восьмирічну цифру згідно табл. 1.1. При перетворенні двійкового числа у шістнадцятирічну систему його розбивають на тетради, які записують згідно табл. 1.1. Наприклад, 32-ох розрядна адреса комірки пам'яті у восьмирічній і шістнадцятирічній системах числення має вигляд:

$$11001000110101000111010111010100_2 = 31065072724_8 = C8D475D4_{16}.$$

Тут як індекс чисел використовується основа системи числення.

Таблиця 1.1

Подання цифр шістнадцятирічної і восьмирічної систем числення у двійковій системі числення

Шістнадцятирічна цифра	Двійковий код цифри (тетрада)	Восьмирічна цифра	Двійковий код цифри (тріада)
0	0000	0	000
1	0001	1	001
2	0010	2	010
3	0011	3	011
4	0100	4	100
5	0101	5	101
6	0110	6	110
7	0111	7	111
8	1000		
9	1001		
A	1010		
B	1011		
C	1100		
D	1101		
E	1110		
F	1111		

Для зворотного перетворення із восьмирічної і шістнадцятирічної у двійкову систему числення кожен цифру записують відповідно тріадою або тетрадою згідно табл. 1.1.

Для перетворення числа з будь-якої системи числення в десяткову систему використовують формулу (1.2), в яку підставляють десяткові значення цифр розрядів та основи системи числення.

Якщо для відображення кожної цифри числа треба мати один схемний елемент, то в системі числення з основою q для представлення будь-якої цифри треба мати q різних елементів. Для відображення в цій системі числа, яке має n_q розрядів потрібно $L_q = qn_q$ елементів.

Наприклад, для представлення будь-якого числа від 000_{10} до 999_{10} в десятковій системі числення треба $n_{10} = 3$ розряди, кожен з яких містить 10 цифр. В цьому випадку необхідна кількість елементів $L_{10} = 30$. Для відображення

цих чисел в двійковій системі ($n_2 = 10, q = 2$) треба $L = 20$ елементів. Кількість елементів для відображення чисел у восьмирічній системі ($n_8 = 4, q = 8$) $L_8 = 32$, а в шістнадцятирічній системі ($n_{16} = 3$ і $q = 16$) $L_{16} = 48$. Як видно, двійкова система потребує найменшої кількості технічних елементів, що надає пристроям з таких елементів найбільшу економічність. Для порівняння відзначимо, що мінімально можливу кількість елементів забезпечує система числення з основою, яка дорівнює основі натурального логарифму $q \approx 2,7$, що вказує на трійкову систему як найбільш економічну. Однак практично здійснити технічні пристрої на основі такої системи числення складно. Тому за сукупністю переваг у обчислювальній техніці домінує двійкова система числення. Крім вказаної економічності вона забезпечує зручність технічних рішень, простоту виконання арифметичних операцій, надійну відмінність двох станів та інше.

У цифрових пристроях використовують також гібридні системи числення, одна з яких має назву **двійково кодована десяткова система**. В цій системі кожен десяткову цифру **0, 1, 2, ..., 8, 9** представляють згідно табл. 1.1 у вигляді двійкової тетради. Наприклад, число **378,25**₁₀ в цій системі має вигляд: **0011 0111 1000, 0010 0101**_{2/10}. В двійково кодованій десятковій системі числення з **16** можливих двійкових тетрад (табл. 1.1) використовують лише **10**. Це зв'язано з тим, що, наприклад, двійкові тетради **1100**_{2/10}, **1011**_{2/10}, є забороненими, тому що вони не відповідають ні одній з десяткових цифр.

Описаний двійково кодований десятковий код називають **кодом 8421**, що відображає значення вагових множників, які приписуються відповідним бітам тетради, в зв'язку з чим його називають також **зваженим кодом**.

Окрім цього коду використовують і інші двійково кодовані десяткові коди, наприклад, код з вагами розрядів **2,4,2,1**, в якому старший розряд має вагу не **8**, а **2**. Його позитивною особливістю є те, що заміна в тетраді нулів на одиниці, а одиниць на нулі перетворює кожен десяткову цифру **x** в цифру **9-x**, тобто отримуємо **зворотній код**. Цифра **5**₁₀ в цій системі числення може бути представлена двійкою: **5**₁₀ = **1·2 + 0·4 + 1·2 + 1·1** або **5**₁₀ = **0·2 + 1·4 + 0·2 + 1·1**, тобто кодами **1011** і **0101**.

Двійкові цифри **0** і **1** (далі будемо використовувати також термін алгебри логіки **двійкові змінні**) в електронних пристроях ЕОМ задають у вигляді напруг, представлених (закодованих) різними способами. Взагалі у цифрових пристроях можуть застосовуватися такі способи кодування:

- 1) потенційний;
- 2) імпульсний;
- 3) імпульсно – потенційний;
- 4) динамічний;
- 5) фазовий.

Потенційний спосіб кодування полягає у представленні двійкових цифр (змінних) напругами (потенціалами) різної величини. При цьому можливі чотири варіанти кодування в залежності від співвідношення величин і знаків потенціалів.

На рис. 1.1 ці варіанти представлені у вигляді часових залежностей напруги, як це звичайно відбувається у процесі функціонування електронних пристроїв. В комп'ютерній електроніці застосовують поняття **позитивної** та **негативної логіки**, які відображають взаємодієвідносини між потенціалами двійкових цифр (змінних) (про зміст слова „логіка” див. розділ 3).

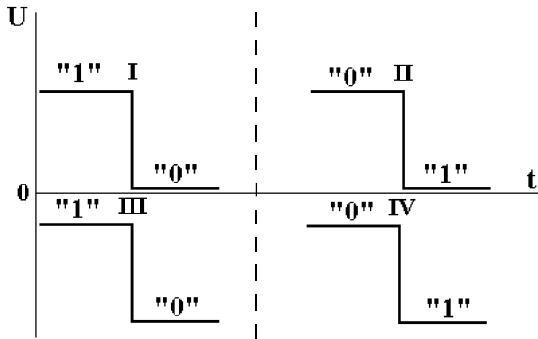


Рис. 1.1. Потенційне кодування двійкових цифр (змінних) у позитивній (I, III) та негативній логіці (II, IV)

В позитивній логіці “1” кодують високим, а “0” низьким рівнем потенціалу (I і III на рис. 1.1), в негативній логіці, навпаки, “1” – низьким, а “0” – високим рівнем потенціалу (II, IV на рис. 1.1).

Імпульсне кодування полягає в представленні “1” наявністю електричного імпульсу напруги або струму, а “0” – відсутністю напруги (струму) (рис. 1.2). **Імпульсно–потенційний** спосіб кодування здійснюється шляхом взаємного перетворення потенційних рівнів і імпульсних сигналів. В комп'ютерній електроніці поділяють сигнали на імпульсні і потенційні є умовним. Тип сигналу визначають через тривалість такту (періоду), яка залежить від частоти

тактового генератора комп'ютера. Імпульсний сигнал має тривалість меншу за тривалість такту, а тривалість потенційного сигналу не менша ніж тривалість такту.

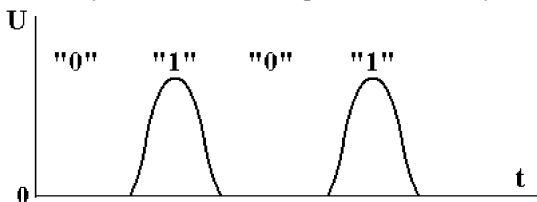


Рис. 1.2. Імпульсне кодування двійкових цифр (змінних)

При **динамічному кодуванні** "1" представляють пачкою імпульсів, або відновлюваним через деякий інтервал часу потенціалом, "0" – відсутністю імпульсів.

Фазове кодування полягає в застосуванні гармонічних коливань напруги, фазу якої відносно опорної напруги приймають за "1" або "0".

Слід відзначити, що незалежно від способу кодування в комп'ютерній електроніці повинен здійснюватися **принцип сумісності вхідних і вихідних сигналів** для елементів, які використовуються при побудові цифрових схем. Це означає, що рівні напруг "0" і "1" повинні мати однакові значення на входах і виходах електронних схем. Здійснення цього принципу має потребу тому, що в складних цифрових пристроях окремі каскади з'єднані послідовно, тобто вихід кожного з них з'єднаний зі входом наступного.

У сучасних ЕОМ використовують потенційний спосіб кодування двійкових змінних. Одна з причин цього – можливість побудови схем пристроїв з застосуванням безпосереднього гальванічного зв'язку між каскадами, що є особливо важливим для інтегральної схемотехніки, оскільки такий зв'язок не потребує використання реактивних елементів – конденсаторів та індуктивностей, які займають значну площу на кристалі мікросхеми і тому не дозволяють забезпечити великий рівень інтеграції мікросхем.

Контрольні запитання

1. Дайте визначення електронної обчислювальної машини (комп'ютера).
2. Назвіть основні складові апаратні компоненти комп'ютера і їх призначення.
3. Назвіть складові компоненти схемотехніки комп'ютера і їх призначення.

4. Дайте визначення позиційної системи числення. Які позиційні системи числення використовують в комп'ютерній техніці ?
5. Переведіть десяткові числа 2458; 0,625; 101,33 у двійкову систему числення.
6. Переведіть десяткове число 90526081 у шістнадцятиричну, восьмиричну та двійково кодовану десятиричну системи числення.
7. Які способи кодування двійкових змінних використовують у цифрових пристроях ?
8. В чому полягає принцип сумісності вхідних і вихідних сигналів для елементів цифрових схем ?
9. Чому у сучасних ЕОМ переважно використовують потенційний спосіб кодування двійкових змінних ?

Розділ 2. ЕЛЕКТРОННІ КЛЮЧІ

2.1. Основні поняття. Класифікація, вимоги

Всі цифрові пристрої та їх складові – цифрові вузли і елементи звичайно виконують з однотипних електронних каскадів. Такими каскадами є **електронні ключі**. Їх функціональне призначення полягає у формуванні одного з двох можливих потенційних рівнів, які відповідають логічним значенням “0” або “1”. Це відрізняє їх від аналогових ключів, які виконують функцію замикання-розмикання електричних кіл і визначають семантику слова “ключ”.

Електронні ключові каскади з позиції теорії електричних кіл є активними чотирьохполюсниками, які мають два вхідних та два вихідних затискача для підключення інших елементів схеми і містять електричні джерела живлення.

Основними компонентами електронних ключів є:

1. Електричні джерела живлення;
2. Нелінійний елемент;
3. Елемент навантаження.

Джерело живлення забезпечує ключовий каскад енергією. Звичайно в електронних пристроях, як джерела живлення, використовують або хімічні джерела струму (в основному для переносної апаратури) або вторинні джерела електроенергії (для стаціонарної радіоапаратури), які перетворюють первинну змінну напругу в постійну.

Нелінійний елемент ключів визначає головну властивість каскаду, що забезпечує виконання каскадом його функціонального призначення. Такою властивістю є зміна опору нелінійного елемента під дією зовнішніх факторів. Непостійне значення опору таких елементів призводить до нелінійної залежності між їх струмом і напругою, тобто до нелінійної вольт – амперної характеристики (ВАХ).

Електронні елементи, що застосовують в ключових схемах, за принципом формування нелінійної ВАХ поділяють на два класи:

1. Елементи, ключові властивості яких забезпечуються завданням їм режиму роботи;
2. Елементи, ключові властивості яких визначаються внутрішніми фізичними властивостями.

До першого класу відносять такі нелінійні елементи як електровакуумні і напівпровідникові діоди, електровакуумні багатосіткові лампи, біполярні і польові транзистори.

До другого класу відносять нелінійні елементи, що мають вольт-амперну характеристику з ділянкою негативного диференціального опору (НДО). До них відносяться газонаповнені прилади, одноперехідні і інжекційно-польові транзистори, діністори та тиристори всіх типів, тунельні діоди, порогові перемикачі, S-діоди та інші. Вольт-амперна характеристика з ділянкою НДО формується в цих елементах завдяки внутрішнім фізичним процесам, що забезпечують дію позитивного зворотного зв'язку.

В комп'ютерній електроніці використовують напівпровідникові нелінійні елементи, які не мають на вольт-амперній характеристиці ділянок з НДО. Залежно від виду нелінійного елемента розрізняють діодні і транзисторні ключі. Останні у свою чергу поділяють на ключі на біполярних транзисторах і ключі на польових транзисторах.

Ключі на біполярних транзисторах реалізують як на $n-p-n$ так і на $p-n-p$ структурах. Широке застосування знайшли ключові каскади на біполярних транзисторах Шотткі.

В ключових каскадах на польових транзисторах застосовують всі типи таких транзисторів: з керуючим $p-n$ переходом, з ізолюваним затвором і вбудованим та індукованим $n-i-p$ -каналами.

В процесі функціонування ключа нелінійний елемент приймає один з двох можливих станів. Один з них, коли елемент має низький опір, називають **відкритим** або **включеним станом**, інший, при якому він має великий опір, називають **закритим** або **вимкненим станом**. Як зазначено вище в ці стани елемент переходить під дією зовнішнього керуючого сигналу. При цьому кількісні значення опорів і швидкість переходу від одного до іншого стану нелінійного елемента визначають експлуатаційні параметри ключа. До нелінійного елемента ключа з цих позицій висувають наступні вимоги:

1. Опір елемента у включеному стані повинен бути якомога меншим;
2. Опір елемента в закритому стані повинен бути якомога більшим;
3. Перехід від вимкненого до включеного стану елемента і зворотний перехід повинні відбуватися якомога за найменший час;
4. Керуюча напруга, що ініціює переходи між станами елемента, повинна бути невеликою за значенням;
5. Перепад керуючого сигналу, що викликає безперебійне перемикання елемента, повинен бути невеликим, він визначає чутливість ключового каскаду;

6. Елемент повинен забезпечувати високу завадостійкість, тобто нечутливість до впливу однорідних по відношенню до сигналу побічних дій;
7. Елемент повинен надавати ключу високу надійність працездатності, тобто забезпечувати велику кількість перемикань між його станами.

З перелічених вимог випливає, що вольт-амперна характеристика ідеального ключового елемента, представлена в координатах „струм – напруга”, має вигляд відрізків прямих ліній, що співпадають з вісями координат. ВАХ реальних нелінійних елементів, які застосовують в електронних ключах суттєво відрізняються від ВАХ ідеального ключового елемента.

Хронологічно першими для побудови електронних ключів були використані електровакуумні, а потім напівпровідникові діоди. Але оскільки вони не задовольняють більшості з перелічених вище вимог, їх застосування є обмеженим. В даний час у ключових каскадах як нелінійні електронні елементи використовують переважно біполярні та польові транзистори. У зв'язку з цим в наступних розділах будуть розглянуті ключі на цих нелінійних елементах.

2.2. Ключі на біполярних транзисторах

2.2.1. Загальні поняття. Для побудови ключових схем застосовують транзистори як з р-п-р так і з п-р-п-структурою. При цьому принцип дії каскадів на транзисторах обох структур є ідентичним. Відмінності існують лише в технічно-експлуатаційних показниках. Як відомо п-р-п транзистори мають кращі частотні властивості, тому ключі на них використовують більш широко. Зокрема такі типи логіки комп'ютерної електроніки, як транзисторно-транзисторна і транзисторно-транзисторна Шоттки побудовані виключно на транзисторах з п-р-п структурою. У зв'язку з цим далі будуть описані схеми ключів тільки на таких транзисторах.

З відомих схем увімкнення транзистора: із загальною базою (ЗБа), із загальним колектором (ЗКл) та із загальним емітером (ЗЕм), найкращі ключові властивості каскаду забезпечує увімкнення транзистора за схемою з ЗЕм.

На рис. 2.1 наведено схему найпростішого транзисторного ключа, в якій п-р-п транзистор включено за схемою із ЗЕм. Як видно, ця схема складається з перелічених вище обов'язкових компонентів: електричного джерела живлен-

ня з напругою живлення U_{cc} (на схемі не зображено), підключеного до шини живлення та загальної шини (землі), нелінійного елемента – транзистора VT і елемента навантаження – резистора R_k .

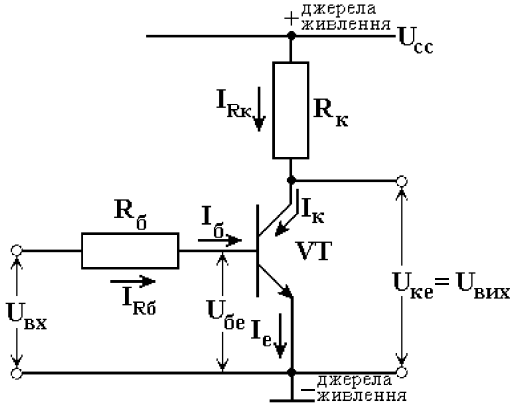


Рис. 2.1 Схема транзисторного ключа з загальним емітером

Специфіку роботи ключового каскаду можна пояснити за допомогою **передаточної характеристики (ПХ)**, яка описує залежність вихідної напруги від вхідної $U_{вих} = f(U_{вх})$. Таку характеристику для схеми ключового каскаду, яка показана на рис. 2.1, наведено на рис. 2.2.

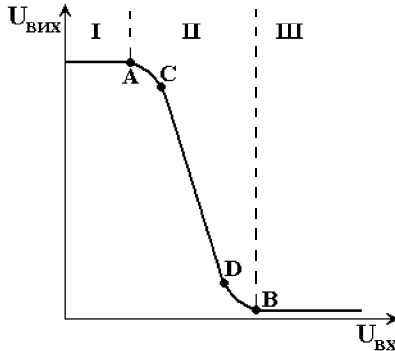


Рис. 2.2. Передаточна характеристика ключа

Як видно, вихідна напруга зв'язана з вхідною напругою обернено пропорційною залежністю. Така властивість

характерна для каскадів, в яких транзистор увімкнено за схемою із ЗЕМ. Через цю ознаку каскад на рис. 2.1 називають **ключем-інвертором**. Відомі також схемотехнічні рішення ключових каскадів, які не інвертують вихідний сигнал відносно вхідного. Проте інвертувальні ключові каскади більш розповсюджені.

Властивість інверсії ключового каскаду можна пояснити наступним чином. Вихідна напруга каскаду $U_{\text{вих}}$ – це падіння напруги на транзисторі, яку створює струм, що протікає від джерела живлення U_{cc} через послідовний ланцюг $R_{\text{к}}-VT$. При малих вхідних напругах (ділянка I передаточної характеристики) транзистор закритий і на ньому падає велика напруга, близька до напруги U_{cc} . При великих вхідних напругах (ділянка III передаточної характеристики) транзистор відкритий і на ньому падає мала напруга, близька до нуля.

2.2.2. Статичний режим роботи ключового каскаду.

Робочими ділянками передаточної характеристики ключового каскаду є ділянки I і III на рис. 2.2. Вони відповідають двом стійким станам ключа: закритому (ділянка I) і відкритому (ділянка III).

Конкретні значення напруг і струмів транзистора у цих режимах роботи визначають з характеристик біполярного транзистора методом лінії навантаження. При цьому використовують два види характеристик:

1. Вхідні характеристики транзистора – для визначення струму і напруги вхідного ланцюга схеми ключа;
2. Вихідні характеристики транзистора – для визначення струму і напруги у вихідному ланцюзі ключа.

Вхідна характеристика транзистора, увімкненого за схемою із загальним емітером, це залежність струму бази $I_{\text{б}}$ від напруги база-емітер $U_{\text{бе}}$ при постійній напрузі колектор-емітер $U_{\text{ке}} = \text{const}$. Для визначення режиму роботи вхідного кола ключа на цій характеристиці, використовуючи як початок координат значення вхідної напруги ключа $U_{\text{вх}}$, будують лінію навантаження, яка являє собою ВАХ резистора $R_{\text{б}}$ (рис. 2.3а).

Точку перетину лінії навантаження з вхідною характеристикою транзистора називають **робочою точкою** або **точкою початкового режиму**, оскільки за її допомогою визначають робочий струм $I_{\text{б}}$ і напругу на базі транзистора $U_{\text{бе}}$ в режимі стійкого стану. Зрозуміло, що при зміні $U_{\text{вх}}$ пряма навантаження зміщується паралельно самій собі, і кожному значенню вхідної напруги відповідає своя робоча точка, тобто свої значення $I_{\text{б}}$ і $U_{\text{бе}}$ (рис. 2.3а).

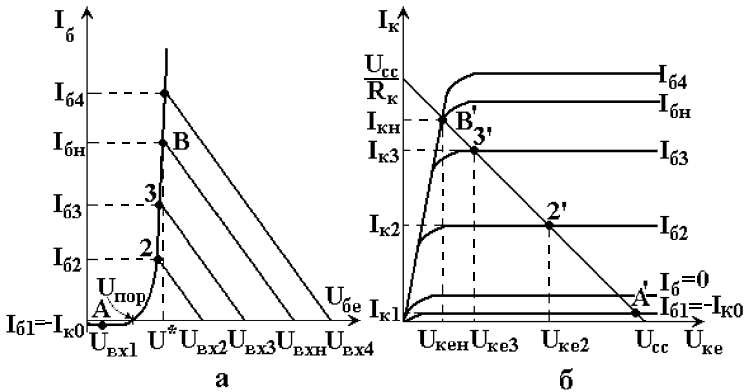


Рис. 2.3. Вхідна характеристика (а) і сімейство вихідних характеристик з лінією навантаження (б) n-p-n транзистора, увімкненого за схемою із загальним емітером

Вихідною характеристикою транзистора, включеного за схемою із ЗЕМ, є залежність струму колектора I_k від напруги колектор-емітер $U_{ке}$ при постійному струмі бази $I_6 = \text{const}$. При визначенні режиму вихідного ланцюга біполярного ключа використовують сімейство вихідних характеристик транзистора, виміряних при різних значеннях I_6 . Для цього сімейства характеристик будують лінію навантаження (рис. 2.3б). Для її побудови на вісі $U_{ке}$ відкладають значення напруги живлення U_{cc} , а на вісі I_k значення струму $I_k = U_{cc}/R_k$, яке фактично відповідає струму в вихідному ланцюзі ключа, коли транзистор має нульовий опір. Через отримані таким чином точки проводять лінію навантаження, точка перетину якої з вихідною характеристикою транзистора при заданому струмі I_6 визначає струм колектора транзистора I_k і падіння напруги $U_{ке}$, яке є вихідною напругою $U_{вих}$ ключа (рис. 2.1). Струм бази I_6 , як було відзначено вище, задається вхідним ланцюгом схеми ключа і визначається з вхідної характеристики транзистора (рис. 2.3а).

Режим роботи ключового каскаду встановлюють наступним чином. У закритому стані ключа повинна виконуватися умова $U_{вх} < 0$ В. Проте кремнієвий p-n перехід залишається закритим і при позитивній напрузі, що задовольняє умові $U_{бе} \leq U_{пор} \approx 0,6$ В. Напруга 0,6 В є свого роду параметром кремнієвого p-n переходу, яку називають **пороговою напругою** $U_{пор}$. При напрузі $U_{бе} \leq U_{пор}$, як емітерний, так і колекторний p-n переходи транзистора закриті, тому струми всіх трьох його електродів не перевищують

часток мікроампера. Падінням напруги на резисторах R_6 і R_k схеми біполярного ключа (рис. 2.1) у цьому випадку можна знехтувати і вважати $U_{6e} \approx U_{vx}$, а $U_{ke} \approx U_{cc}$. Такий режим роботи каскаду, коли транзистор закритий, називають **режимом відсічки**, йому відповідають точки А і А' на рис. 2.3. В режимі відсічки у вхідному ланцюзі ключа протікає струм $I_{61} = -I_{K0}$, а у вихідному $-I_{k1} = I_{K0}$ (рис. 2.3). Струм I_{K0} є параметром біполярного транзистора, який називають зворотним струмом колекторного р-п переходу.

При напрузі $U_{vx} > U_{пор}$ відкривається емітерний р-п перехід транзистора. В базовому ланцюзі починає протікати струм I_6 , а в ланцюзі колектора пропорційний йому струм I_k . Транзистор переходить до активного режиму роботи, який характеризується закритим станом колекторного р-п переходу і відкритим станом емітерного р-п переходу. В активному режимі $I_k = \beta I_6$, де параметр β має назву коефіцієнт передачі транзистора за струмом для схеми його увімкнення з загальним емітером. Звичайно, цей коефіцієнт близько 100, тому в активному режимі каскад, схема якого наведена на рис. 2.1, працює як підсилювач електричного струму. Падіння напруги $U_{ke} = U_{cc} - \beta I_6 R_k$ зменшується при зростанні струму бази I_6 , який збільшується при зростанні напруги U_{vx} , (рис. 2.3а).

В точці 3 при струмі I_{63} падіння напруги між колектором і базою $U_{кб} = U_{ке} - U_{6e} \approx 0$ В і з подальшим збільшенням U_{vx} ця напруга стає негативною. Коли вона досягає значень $U_{кб} < -U_{пор} \approx -0,6$ В, колекторний р-п перехід відкривається. Транзистор починає працювати в **режимі подвійної інжекції**. Цьому режиму на рис. 2.3 відповідають точки В і В'. Інкєкція носіїв заряду із колектора транзистора в базу перешкоджає подальшому збільшенню струму колектора, тому він залишається при зростанні U_{vx} практично незмінним, хоча струм бази зростає (рис. 2.3). Такий струм колектора, при заданому значенні опору колекторного навантаження R_k , має максимальне значення і називається **струмом насичення** $I_{кн}$, а режим подвійної інжекції, що відповідає відкритому стану біполярного ключа, – **режимом насичення**. Струм бази і напруга U_{6e} в режимі насичення позначені на рис. 2.3а як $I_{6н}$ і U^* . Звичайно для інтегральних п-р-п транзисторів падіння напруги між базою і емітером в режимі насичення $U^* \approx 0,8$ В не дуже відрізняється від $U_{пор} \approx 0,6$ В. Причиною цього є велика крутизна вхідної характеристики транзистора. Як видно на рис. 2.3б в режимі насичення на транзисторі падає напруга $U_{кен}$, що звичайно не перевищує величину 0,1 В.

Режими відсічки і насичення є основними робочими режимами ключа на біполярному транзисторі. Розглянемо ці режими більш докладніше.

Режим відсічки. В цьому режимі обидва р-п переходи транзистора зміщені зворотно ($U_{бe} \leq U_{пор}$, $U_{бк} \leq U_{пор}$) і транзистор закритий.

Межею режиму відсічки є зворотна напруга на переході база-емітер, при якій струм $I_e = 0$ А. Цю напругу називають **напругою відсічки** $U_{від}$ і визначають за формулою:

$$U_{від} = -m\phi_T \ln(1+\beta), \quad (2.1)$$

де m – коефіцієнт, який враховує вплив струму втрати і рекомбінації на струм бази, $\phi_T = kT/e$ (k – постійна Больцмана, T – абсолютна температура, e – заряд електрона) – **температурний потенціал**. Відзначимо, що для кремнієвих транзисторів при абсолютній температурі $T = 300$ К, коли тепловий потенціал $\phi_T = 25$ мВ, типові значення коефіцієнта m складає $1,5 \div 2$.

Звичайно в цифрових каскадах застосовують режим **глибокої відсічки**, при якому напруга на р-п переходах транзистора значно перевищує температурний потенціал ϕ_T . Для оцінки в цьому режимі приймають $U_{від} = (3 \div 5)\phi_T$, тобто при кімнатній температурі значення напруги відсічки $U_{від} \approx 0,1$ В. В приблизних розрахунках, як значення $U_{від}$, приймають напругу на переході база-емітер, при якій струм бази зменшується в $100 \div 200$ разів порівняно зі струмом відкритого стану транзистора.

Для аналізу роботи біполярного транзистора в електронних схемах Дж. Д. Еберс і Дж. Л. Молл у 1954 р. запропонували прості та зручні моделі такого транзистора. Ці моделі використовують при розробці інтегральних мікросхем, де по простим і досить точним моделям електронного приладу визначають поведінку складної схеми.

Найпростішим варіантом низькочастотної моделі Еберса-Молла є модель з ідеальними р-п переходами і двома джерелами струму. Еквівалентна схема транзистора, що використовується в такій моделі, наведена на рис. 2.4.

Тут α – коефіцієнт передачі струму емітера в коло колектора, а α_i – коефіцієнт передачі колекторного струму в коло емітера в інверсному режимі увімкнення транзистора. Струми I_K і I_E , що протікають відповідно крізь колекторний і емітерний переходи біполярного транзистора, визначають в межах моделі Еберса-Молла наступні співвідношення:

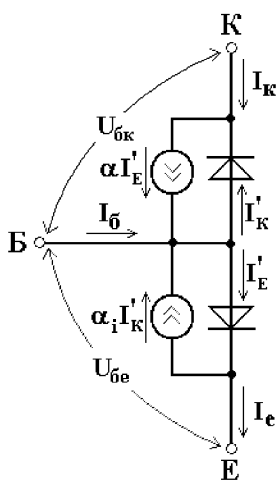


Рис. 2.4. Еквівалентна схема п-р-п транзистора в моделі Еберса-Молла

$$I'_K = \frac{I_{K0} \left(\exp \left(\frac{U_{\text{бк}}}{\varphi_T} \right) - 1 \right)}{1 - \alpha \cdot \alpha_i} \quad (2.2)$$

$$I'_E = \frac{I_{E0} \left(\exp \left(\frac{U_{\text{бе}}}{\varphi_T} \right) - 1 \right)}{1 - \alpha \cdot \alpha_i}, \quad (2.3)$$

де I_{K0} та I_{E0} – зворотні струми колекторного та емітерного переходів, які вимірюють при обриві колекторного і емітерного ланцюгів транзистора.

Згідно з першим законом Кірхгофа для струмів колектора, емітера і бази на рис. 2.4 можна отримати наступні співвідношення:

$$I_K = \alpha I'_E - I'_K = \frac{\alpha I_{E0} \left(\exp \left(\frac{U_{\text{бе}}}{\varphi_T} \right) - 1 \right) - I_{K0} \left(\exp \left(\frac{U_{\text{бк}}}{\varphi_T} \right) - 1 \right)}{1 - \alpha \cdot \alpha_i}, \quad (2.4)$$

$$I_E = I'_E - \alpha_i I'_K = \frac{I_{E0} \left(\exp \left(\frac{U_{\text{бе}}}{\varphi_T} \right) - 1 \right) - \alpha_i I_{K0} \left(\exp \left(\frac{U_{\text{бк}}}{\varphi_T} \right) - 1 \right)}{1 - \alpha \cdot \alpha_i}, \quad (2.5)$$

$$I_{\text{б}} = I_E - I_K. \quad (2.6)$$

В режимі глибокої відсічки, коли емітерний і колекторний переходи закриті ($U_{\text{бе}}, U_{\text{бк}} < 0$), експонентами у (2.4) і (2.5) можна знехтувати, тому

$$I_{\text{К від}} = \frac{-\alpha I_{E0} + I_{K0}}{1 - \alpha \cdot \alpha_i}, \quad (2.7)$$

$$I_{\text{е від}} = \frac{-I_{E0} + \alpha_i I_{K0}}{1 - \alpha \cdot \alpha_i}. \quad (2.8)$$

Оскільки в режимі відсічки $I_{\text{е від}} = 0$ А, з (2.8) випливає $I_{E0} = \alpha_i I_{K0}$, а з (2.7) і (2.6), що $I_{\text{К від}} = I_{K0}$, $I_{\text{б від}} = -I_{K0}$. Фактично в цьому режимі через транзистор тече тільки струм I_{K0} , який втікає в колектор і витікає з бази.

Зворотний струм колектора I_{K0} ще називають **зворотним струмом насичення**. Ця назва пов'язана з тим, що при від'ємній напрузі на колекторному р-п переході та відсутньому струмі емітера, струм I_{K0} не залежить від напруги. Часто струм I_{K0} також називають **тепловим струмом колектора** тому, що він обумовлений генерацією неосновних носіїв заряду в збіднених областях напівпровідника, прилеглих до колекторного р-п переходу.

Залежність зворотного струму колектора від абсолютної температури T описується формулою:

$$I_{K0}(T) \approx I_{K0}(T_0) \cdot \exp(\alpha_T \Delta T), \quad (2.9)$$

де $T_0 = 300$ К, $\Delta T = T - T_0$, α_T – температурний коефіцієнт, величина якого для германієвих транзисторів складає $0,07$ K^{-1} , для кремнієвих – $0,1$ K^{-1} .

Для оціночних розрахунків використовують правило: тепловий струм подвоюється на кожні 10 $^{\circ}C$ приросту температури. Але це правило не є універсальним і звичайно занижує фактичні зміни теплового струму у декілька разів. Проте при досить високих робочих температурах тепловий струм кремнієвих транзисторів має невеликі значення.

Слід відзначити, що тепловий струм I_{K0} – це не єдиний компонент зворотного струму закритого колекторного р-п переходу. Наприклад, у кремнієвих транзисторах в режимі відсічки протікає також струм термогенерації носіїв заряду в переході, який, правда, в діапазоні робочих температур менше теплового струму. Крім того слід враховувати також струм втрат.

Охарактеризуємо експлуатаційні параметри ключа в режимі відсічки. Перш за все зазначимо, що для забезпечення режиму відсічки біполярного транзистора п-р-п типу повинна виконуватися умова $U_{be} \leq U_{пор} \approx 0,6$ В, при цьому струм бази транзистора $I_b = -I_{K0}$.

В режимі відсічки вхідний опір транзистора $R_{вх}$ від визначається зворотними опорами емітерного і колекторного переходів, тому в цьому випадку $R_{вх від} \gg R_b$ і вхідний ланцюг ключа можна розглядати як генератор струму. Це дає можливість визначити напругу база-емітер закритого транзистора за формулою $U_{be} = U_{вх} + I_{K0} \cdot R_b \approx U_{вх}$.

Вихідний опір транзистора в режимі відсічки $R_{вих від} = r_k \gg R_k$ (r_k – диференціальний опір закритого колекторного р-п переходу транзистора, який звичайно дорівнює декільком одиницям мегом).

Напругу на колекторі закритого транзистора з урахуванням вихідного кола ключа (рис. 2.1) і того, що в режимі відсічки $I_k = I_{K0}$ можна визначити за формулою:

$$U_{\text{вих від}} = U_{\text{cc}} - I_{\text{K0}}R_{\text{к}}. \quad (2.10)$$

В схемах ключів величина опору резистора $R_{\text{к}}$ складає одиниці кілоом і тому падіння напруги на ньому при $I_{\text{K0}} \approx 10^{-7}$ А настільки мале, що $U_{\text{вих від}} \approx U_{\text{cc}}$.

Режим насичення. Для забезпечення режиму насичення в схемі ключа необхідно створити умови, при яких обидва р-п переходи транзистора відкриті. Для п-р-п транзистора це має місце при умові насичення за напругою, яку можна записати у вигляді: $U_{\text{бе}} > U_{\text{пор}}$, $U_{\text{бк}} > U_{\text{пор}}$.

Звичайно $U_{\text{вх}}$ і U_{cc} значно перевищують напруги $U_{\text{бен}} = U^* \approx 0,8$ В, $U_{\text{кен}} \approx 0,1$ В в режимі насичення, тому струми в схемі на рис. 2.1 визначаються опором резисторів $R_{\text{б}}$ і $R_{\text{к}}$ згідно співвідношенням:

$$I_{\text{б}} = I_{\text{Rб}} = (U_{\text{вх}} - U_{\text{бен}})/R_{\text{б}} \approx U_{\text{вх}}/R_{\text{б}}, \quad (2.11)$$

$$I_{\text{к}} = I_{\text{Rк}} = (U_{\text{cc}} - U_{\text{кен}})/R_{\text{к}} \approx U_{\text{cc}}/R_{\text{к}}. \quad (2.12)$$

Разом з умовою насичення за напругою можна визначити **умову насичення за струмом**. Із співвідношень (2.4) і (2.6) випливає, що як в активному режимі так і на межі активного та насиченого режимів транзистора при $U_{\text{бе}} > U_{\text{пор}}$ і $U_{\text{бк}} \leq U_{\text{пор}}$, струм $I_{\text{к}} \approx \alpha I_{\text{е}}$ і $I_{\text{б}} \approx (1 - \alpha)I_{\text{е}}$. Тому зв'язок між струмами бази і колектора визначається співвідношенням:

$$I_{\text{к}} = \frac{\alpha I_{\text{б}}}{1 - \alpha} = \beta I_{\text{б}}, \quad (2.13)$$

де $\beta = \alpha/(1 - \alpha)$ – коефіцієнт передачі транзистора за струмом для схеми його увімкнення із загальним емітером. На межі активного і насиченого режимів співвідношення (2.13) можна записати, як $I_{\text{кн}} = \beta I_{\text{бн}}$ (тут $I_{\text{кн}}$ – струм насичення колектора, $I_{\text{бн}}$ – струм насичення бази). Фактично струм $I_{\text{бн}}$ є мінімальним струмом, який треба подати в базу транзистора для забезпечення його насиченого режиму роботи. Тому в режимі насичення, коли $U_{\text{бк}} > U_{\text{пор}} \approx 0,6$ В повинна виконуватися умова:

$$I_{\text{б}} \geq I_{\text{бн}} = I_{\text{кн}}/\beta. \quad (2.14)$$

Співвідношення (2.14) використовують як **струмовий критерій насичення**. З нього випливає, що режим насичення визначається не величиною струмів, а їх співвідношенням. Це означає, що насичення може мати місце і при малих струмах, наприклад, навіть при одиницях мікроамперів. Насичений режим біполярного ключа встановлюється при струмі бази $I_{\text{бн}}$ і струмі колектора $I_{\text{кн}}$ в точках В і В' вхідної і вихідних характеристик транзистора (рис. 2.3). При збільшенні значень струму бази $I_{\text{б}}$, струм колектора не змінюється і дорівнює $I_{\text{кн}}$.

В процесі функціонування ключа під дією перешкод можуть виникати неконтрольовані зміни струмів і напруг, які можуть викликати несанкціонований вихід ключа з режиму насичення. Для запобігання цьому необхідне надійне виконання співвідношення (2.14), а тому потрібно забезпечити достатньо глибоке насичення транзистора ключа.

Для кількісної оцінки глибини насичення використовують параметр, який має назву **ступенем насичення**. Він визначається двома способами. В одному випадку це:

$$S = I_{\text{б}}/I_{\text{бн}} = \beta I_{\text{б}}/I_{\text{кн}}, \quad (2.15)$$

де $I_{\text{б}}$ – струм бази транзистора в режимі насичення, нижня межа якого задана струмом $I_{\text{бн}} = I_{\text{кн}}/\beta$.

Іншим способом ступінь насичення визначають, як відносне перевищення електричного струму бази над $I_{\text{бн}}$:

$$N = (I_{\text{б}} - I_{\text{бн}})/I_{\text{бн}} = (\beta I_{\text{б}} - I_{\text{кн}})/I_{\text{кн}} = S - 1. \quad (2.16)$$

Режим насичення настає при $S = 1$ ($N = 0$). При $S \rightarrow \infty$ ($N \rightarrow \infty$) струми $I_{\text{кн}}$, $I_{\text{бн}} \rightarrow 0$ А. Значенню $S = \beta$ ($N = \beta + 1$) відповідає рівність струмів бази і колектора транзистора.

Струми насиченого транзистора визначають напруги між його електродами. Кількісний зв'язок між напругами і струмами можна одержати з рівнянь Еберса-Молла (2.4) – (2.6). Він має вигляд:

$$U_{\text{бє}} = \varphi_{\text{T}} \ln \left[\frac{I_{\text{б}} + (1 - \alpha_i) I_{\text{к}}}{I_{\text{Е0}}} + 1 \right], \quad (2.17)$$

$$U_{\text{бк}} = \varphi_{\text{T}} \ln \left[\frac{\alpha I_{\text{б}} - (1 - \alpha) I_{\text{к}}}{I_{\text{К0}}} + 1 \right]. \quad (2.18)$$

В режимі насичення напруга між колектором і емітером транзистора, яку називають **залишковою напругою**, дорівнює $U_{\text{кен}} = U_{\text{бєн}} - U_{\text{бкн}}$.

На підставі умови взаємності біполярних транзисторів, яка записується як

$$\alpha I_{\text{Е0}} = \alpha_i I_{\text{К0}} \quad (2.19)$$

і того, що в режимі насичення $I_{\text{б}}$, $I_{\text{к}} \gg I_{\text{К0}}$ з (2.17) і (2.18) для $U_{\text{кен}}$ можна одержати наступний вираз:

$$U_{\text{кен}} = \varphi_{\text{T}} \ln \left[\frac{\alpha I_{\text{бн}} + \alpha(1 - \alpha_i) I_{\text{кн}}}{\alpha \alpha_i I_{\text{бн}} - \alpha_i(1 - \alpha) I_{\text{кн}}} \right]. \quad (2.20)$$

Мінімальне значення вихідної залишкової напруги $U_{\text{кен}}$ досягається при нульовому струмі колектора. В цьому випадку з (2.20) випливає:

$$U_{\text{кен мин}} = \varphi_{\text{T}} \ln(1/\alpha_i) \approx \varphi_{\text{T}} \ln(1 + 1/\beta_i) \approx \varphi_{\text{T}}/\beta_i, \quad (2.21)$$

де $\beta_i = \alpha_i/(1 - \alpha_i)$.

Величина цієї напруги мала. Так при реальних значеннях $\beta_i = 1 \div 5$, $U_{\text{кен мін}} = 25 \div 5$ мВ, відповідно. Типове значення $U_{\text{бен}} = U^*$ для інтегральних транзисторів n-p-n типу звичайно складає близько 0,8 В.

Знайдемо вхідний і вихідний опори біполярного ключа в режимі насичення. Зрозуміло, що вони визначаються опором транзистора і зовнішніх ланцюгів. **Статичний вхідний опір** транзистора в режимі насичення $R_{\text{вх нас}}$ в схемі з ЗЕМ з урахуванням (2.11) дорівнює

$$R_{\text{вх нас}} = \frac{U_{\text{бен}}}{I_{\text{б}}} = \frac{U^*}{I_{\text{б}}} \approx \frac{U^*}{U_{\text{вх}}} R_{\text{б}}. \quad (2.22)$$

З (2.22) витікає, що $R_{\text{вх нас}}$ зворотно пропорційний струму бази (вхідній напрузі біполярного ключа). Повний вхідний опір насиченого ключа визначається опором послідовно включених $R_{\text{вх нас}}$ і резистора $R_{\text{б}}$, тобто $R_{\text{вх нас}} = R_{\text{б}}(1 + U^*/U_{\text{вх}})$. Звичайно в цифрових пристроях $U_{\text{вх}} \gg U^* \approx 0,8$ В, тому вхідний опір таких ключів приймають рівним $R_{\text{б}}$.

Статичний вихідний опір транзистора в режимі насичення для схеми із ЗЕМ з урахуванням (2.12) дорівнює:

$$R_{\text{вих нас}} = \frac{U_{\text{кен}}}{I_{\text{кн}}} \approx \frac{U_{\text{кен}}}{U_{\text{сс}}} R_{\text{к}}. \quad (2.23)$$

Величина $U_{\text{кен}} \sim 0,025$ В значно менша за напругу живлення $U_{\text{сс}}$, яка в сучасних комп'ютерах не нижча ніж 1,3 В, тому $R_{\text{вих нас}} \ll R_{\text{к}}$. Оскільки резистори $R_{\text{вих нас}}$ і $R_{\text{к}}$ увімкнені у еквівалентній схемі вихідного ланцюга ключа паралельно, його вихідний опір визначає опір $R_{\text{вих нас}}$.

2.2.3. Перехідні процеси в біполярному транзисторному ключі. Швидкодія обробки інформації цифровими мікросхемами, які побудовані на біполярних ключах, визначається тим, наскільки швидко перемикаються такі ключі. Швидкість перемикавання біполярного ключа обмежують такі фактори:

- інерційність біполярного транзистора;
- кінцева швидкість зміни струму (напруги) у реактивних елементах схеми, якими є конденсатори та котушки індуктивності.

Інерційність біполярного транзистора визначають інерційність процесу дифузії неосновних носіїв заряду в базі транзистора, ефекти накопичення та розсмоктування заряду і смінь р-n переходів.

Вплив цих факторів виявляється в тому, що при надходженні ідеального прямокутного імпульсу напруги на вхід біполярного ключа, вихідний сигнал буде трохи викривле-

ним і затриманим відносно вхідного сигналу (рис. 2.5а). На часових діаграмах вихідної напруги $U_{\text{вих}}$ (рис. 2.5а) можна виділити такі інтервали часу: $t_{\text{зт}}$ – тривалість затримки увімкнення транзистора; $t_{\text{ф}}$ – тривалість переднього фронту вихідного сигналу; $t_{\text{р}}$ – час розсмоктування (затримка вимикання транзистора); $t_{\text{сп}}$ – тривалість заднього фронту вихідного сигналу. Згідно часовим діаграмам час увімкнення насиченого біполярного ключа дорівнює $t_{\text{ув}} = t^{10} = t_{\text{зт}} + t_{\text{ф}}$, а час вимикання – $t_{\text{вим}} = t^{01} = t_{\text{р}} + t_{\text{сп}}$.

Для аналізу перехідних процесів у насиченому біполярному ключі, реалізованому за схемою з ЗЕМ (рис. 2.1), використовують еквівалентну електричну схему, наведену на рис. 2.5б. Цей аналіз досить громіздкий, тому зупинимось на його кінцевих результатах.

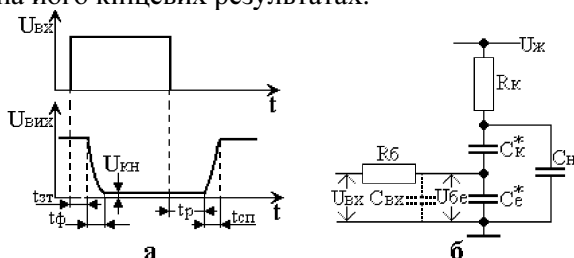


Рис. 2.5. Часові діаграми сигналів на вході і виході насиченого біполярного ключа (а) і його еквівалентна схема для аналізу перехідних процесів (б)

Затримка увімкнення транзистора ($t_{\text{зт}}$) виникає завдяки тому, що напруга $U_{\text{бе}}$ не може змінитися миттєво, оскільки не може зарядитися миттєво вхідна ємність транзистора $C_{\text{вх}}$. Тому, доки напруга на $C_{\text{вх}}$, а це й є $U_{\text{бе}}$, менша від $U_{\text{пор}}$, транзистор вимкнений і на виході ключа зберігається високий рівень напруги. Отже, $t_{\text{зт}}$ – це час потрібний для зарядження вхідної ємності транзистора до напруги $U_{\text{пор}}$. Можна показати, що при амплітуді вхідного прямокутного імпульсу $U_{\text{вх}}$ тривалість затримки $t_{\text{зт}}$ дорівнює

$$t_{\text{зт}} = R_{\text{б}} C_{\text{вх}} \ln[(U_{\text{вх}} / (U_{\text{вх}} - U_{\text{пор}}))], \quad (2.24)$$

де $C_{\text{вх}} \approx C_{\text{е}}^* + C_{\text{к}}^* C_{\text{н}} / (C_{\text{к}}^* + C_{\text{н}})$.

Як видно, при фіксованій амплітуді вхідного сигналу $U_{\text{вх}}$ час затримки увімкнення ключа $t_{\text{зт}}$ зменшується при зменшенні $R_{\text{б}}$ або при збільшенні струму бази, що теж саме оскільки згідно (2.11) $I_{\text{б}} = (U_{\text{вх}} - U_{\text{бе}}) / R_{\text{б}}$.

Час формування фронту вхідного сигналу ($t_{\text{ф}}$). Після того, як напруга на базі транзистора перевищує $U_{\text{пор}}$, транзистор відкривається і працює в нормальному актив-

ному режимі. Струм його колектора зростає від I_{K0} до I_{KH} . Час, який потрібен для цього визначається за формулою:

$$t_{\phi} = (\tau_{\beta} + \tau_r) \ln \left(\frac{S}{S-1} \right), \quad (2.25)$$

де $S = I_{\phi} / I_{\phi H} = \beta \cdot (I_{\phi} / I_{KH})$ – ступінь насичення транзистора, $\tau_r = R_K \cdot (C_H + (1 + \beta) \cdot C_K^*)$; τ_{β} – стала часу коефіцієнта передачі базового струму транзистора (довідниковий параметр). З (2.25) випливає, що t_{ϕ} зменшується при зростанні ступеня насичення транзистора S або, що одне і теж саме – струму бази I_{ϕ} . Отже, має місце подібна залежність t_{3T} і t_{ϕ} від струму бази транзистора. Тому для зменшення часу увімкнення ($t_{yB} = t_{3T} + t_{\phi}$) насиченого біполярного ключа необхідно при відкриванні транзистора збільшувати струм бази I_{ϕ} .

Час розсмоктування t_p (затримка вимкнення транзистора). В режимі насичення транзистора через відкриті колекторний і емітерний р-п переходи відбувається інжекція неосновних носіїв заряду в базу транзистора, які накопичуються в ній. Для вимкнення транзистора (переведення з режиму насичення в режим відсічки) необхідно попередньо вивести з бази накопичений заряд, інакше транзистор не закритється. Це потребує деякий час, що отримав назву час розсмоктування t_p . Накопичення заряду в базі здійснює струм, який тече в напрямку бази транзистора, позначимо цей струм $I_{\phi 1}$. Розсмоктування заряду здійснюється струмом $I_{\phi 2}$, який тече у зворотному напрямку. Аналіз процесу, що відбувається в транзисторі після вимикання напруги, яка привела до насичення транзистора, показує, що

$$t_p = \tau_p \ln \left(\frac{\frac{I_{\phi 1} - 1}{I_{\phi 2}} - 1}{\frac{0,9 I_{KH}}{\beta I_{\phi 2}}} \right), \quad (2.26)$$

де τ_p – стала часу розсмоктування. Для дифузійних транзисторів значення τ_p дорівнює $\tau_p \approx (2-4)\tau_{\beta}$.

З (2.26) випливає, що t_p зменшується при зростанні струму $I_{\phi 2}$, який витікає із транзистора. Розсмоктування неосновних носіїв заряду з бази насиченого транзистора здійснюється тільки струмом, що витікає із транзистора. Якщо цей струм малий, час вимикання транзистора буде великим. З (2.26) випливає, що t_p збільшується при зростанні струму $I_{\phi 1}$, що вмикає транзистор. Отже, на відміну від t_{3T} і t_{ϕ} , які зменшуються при зростанні струму $I_{\phi 1}$, час розсмоктування t_p веде себе навпаки.

Тривалість заднього фронту вихідного сигналу $t_{сп}$. Транзистор біполярного ключа працює в нормальному активному режимі при формуванні спаду вихідного сигналу, тобто його заднього фронту. Аналіз показує, що $t_{сп}$ визначається співвідношенням:

$$t_{сп} = \left\{ \tau_{\beta} + R_{к} \left[C_{н} + (1 + \beta) C_{к}^* \right] \right\} \ln \left(1 + \frac{I_{кн}}{\beta I_{62}} \right). \quad (2.27)$$

З (2.27) випливає, що $t_{сп}$, як і час розсмоктування t_p можна зменшити, якщо збільшити струм I_{62} , який витікає з транзистора.

Наведені вище результати аналізу динаміки перемикавання насиченого біполярного ключа дозволяють зробити такі висновки:

1. Час увімкнення $t_{ув}$ і час вимикання $t_{вим}$ біполярного насиченого ключа визначаються величинами струмів, а саме: струмом I_{61} , який вмикає транзистор (тече в базу транзистора n-p-n типу) і струмом I_{62} (витікає з бази транзистора n-p-n типу), а також відношенням цих струмів I_{61}/I_{62} .

2. Для зменшення $t_{ув} = t_{зт} + t_{ф}$ необхідно збільшувати струм бази I_{61} , що вмикає транзистор. Проте треба відзначити, що це призведе до збільшення ступеню насичення транзистора S і, як наслідок, до зростання тривалості вимикання $t_{вим} = t_p + t_{сп}$ насиченого біполярного ключа.

3. Зменшення $t_{вим}$ забезпечується у насиченому біполярному ключі не тільки за рахунок струму бази I_{62} , який витікає з транзистора, але визначається і величиною струму I_{61} , який вмикає транзистор. Це виключає можливість підвищення швидкодії ключа простим збільшенням струму, який вмикає транзистор. Потрібен вибір оптимального співвідношення струмів I_{61} і I_{62} .

2.2.4. Ключі з підвищеною швидкістю. Підвищення швидкодії ключів забезпечують ускладнення простої схеми біполярного ключа (рис. 2.1), використовуючи для цієї мети різні способи. Найвідомішими з них є:

- динамічне форсування процесів увімкнення і вимикання ключа;
- вилучення з перехідних процесів стадій накопичення і розсмоктування надмірного заряду бази транзистора.

Перший спосіб реалізовано у **насиченому біполярному ключі з прискорюючим конденсатором**. У цьому ключі збільшення швидкодії забезпечується за рахунок збільшення струму бази I_{61} , що вмикає транзистор в інтервалі часу, який відповідає передньому фронту вхідного сигналу, і за рахунок збільшення струму бази I_{62} , що вими-

кає транзистор після закінчення вхідного сигналу. Схема насиченого біполярного ключа з прискорюючим конденсатором $C_{\text{п}}$ наведена на рис. 2.6а. Конденсатор $C_{\text{п}}$, який увімкнено паралельно резистору бази R_6 , при надходженні вхідного імпульсу напруги починає заряджатися. Оскільки на початковому етапі цього процесу він має малий опір і шунтує базовий резистор R_6 , струм I_{61} , який спрямований в базу транзистора має достатньо велике значення (див. часові діаграми, наведені на рис. 2.6б). Це забезпечує у відповідності з вищевикладеним зменшення часу увімкнення біполярного ключа $t_{\text{ув}} = t^{10} = t_{\text{зт}} + t_{\text{ф}}$. В процесі зарядження конденсатора $C_{\text{п}}$ струм бази зменшується, прямуючи до величини, яка визначається опором резистора R_6 і максимальним значенням напруги вхідного імпульсу. Якщо величину опору резистора R_6 вибрати такою, що вона забезпечить струм бази на рівні, близькому до струму бази насичення $I_{6\text{н}} = I_{\text{кн}}/\beta$, то коефіцієнт насичення S буде близьким до одиниці і суттєвого накопичення неосновних носіїв заряду в бази транзистора не відбудеться.

Після закінчення вхідного імпульсу прискорюючий конденсатор $C_{\text{п}}$ (полярність його заряду показана на рис. 2.6а) починає розряджатися через внутрішній опір джерела вхідного сигналу, резистор зміщення $R_{\text{зм}}$ і емітерний р-п перехід транзистора, який деякий час залишається відкритим, а також резистор R_6 . Це створює в базовому ланцюзі біполярного ключа струм зворотного напрямку (струм, що витікає з бази транзистора, рис. 2.6а,б) I_{62} , який сприяє прискоренню процесу розсіяння заряду, накопиченого в базі і, отже, забезпечує зменшення часу вимикання ключа $t_{\text{вим}} = t^{01} = t_{\text{р}} + t_{\text{сп}}$. Відзначимо також, що опір зміщення $R_{\text{зм}}$ в схемах насичених біполярних ключів використовують для замикання струму I_{62} на землю, що особливо важливо для збільшення швидкодії таких ключів при великому внутрішньому опорі джерела вхідного сигналу.

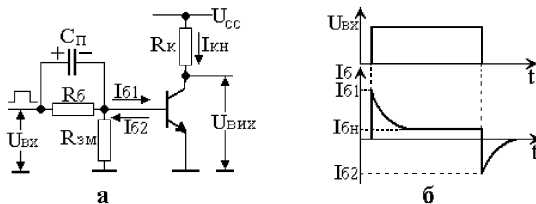


Рис. 2.6. Схема насиченого біполярного ключа з прискорюючим конденсатором (а) і часові діаграми напруги і струму у вхідному ланцюзі такого ключа (б)

Таким чином, використання прискорюючого конденсатора в схемі насиченого біполярного ключа дозволяє збільшити його швидкодію за рахунок оптимізації співвідношення між струмом $I_{б1}$, що вмикає транзистор і струмом $I_{б2}$, який вмикає транзистор. Значення ємності $C_{п}$ прискорюючого конденсатора вибирають з умови, у відповідності з якою стала часу його розряду не повинна перевищувати $(0,3 - 0,45)(t_{р} + t_{сп})$, тобто прискорюючий конденсатор повинен мати ємність, при якій забезпечується закінчення процесу його розряду протягом часу вимикання ключа.

З аналізу перехідних процесів (див. підрозділ 2.2.3) випливає, що істотною частку тривалості вимикання біполярного транзистора складає час розсмоктування $t_{р}$ надмірного заряду, накопиченого в базі транзистора у режимі насичення. Тому швидкодію біполярних ключів можна підвищити шляхом скорочення або повного виключення стадії перебування транзистора в режимі насичення. При цьому треба враховувати, що режим насичення транзистора забезпечує низьке значення вихідної напруги, що є дуже важливим з погляду підвищення завадостійкості ключа.

Ключі, в яких усунуто режим насичення транзистора, називають **ненасиченими**. Забезпечити ненасичений режим роботи транзистора можна шляхом обмеження базового струму на рівні нижче $I_{бн}$ (рис. 2.3). На практиці для обмеження базового струму застосовують фіксацію мінімальної напруги колекторного р-n переходу транзистора на рівні $U_{бк} \leq U_{пор}$. В цьому випадку колекторний перехід транзистора залишається закритим, що забезпечує відсутність інжекції неосновних носіїв заряду крізь колекторний перехід в базу транзистора. Як наслідок накопичення надмірного заряду в області бази транзистора не відбувається, що виключає стадію розсмоктування неосновних носіїв заряду з перехідних процесів біполярного ключа.

Для вилучення режиму насичення транзистора в біполярних ключах використовують **нелінійний негативний зворотний зв'язок** на діоді, який вмикають між базою і колектором транзистора. Схеми таких ключів наведені на рис. 2.7. В схемі на рис. 2.7а нелінійний зворотний зв'язок реалізовано на напівпровідниковому діоді VD1, а діод VD призначений для збільшення порога відкриття транзистора (це забезпечується завдяки тому, що в емітерно-базовому ланцюзі транзистора увімкнено два р-n переходи: діода VD і емітерний перехід транзистора, тому порогова напруга в точці "а", при перевищенні якої транзистор відкривається, дорівнює $2U_{пор}$).

Розглянемо роботу ненасиченого біполярного ключа на рис. 2.7а. Відзначимо, що транзистор переходить у режим насичення, коли напруга між його базою і колектором задовольняє умові відкриття колекторного р-п переходу $U_{бк} > U_{пор}$. Завдяки діоду VD в базовому ланцюзі транзистора, відкриття колекторного переходу відбувається, коли різниця потенціалів між точками “а” і “б” схеми $U_{аб}$ задовольняє умові $U_{аб} > 2U_{пор}$. При $U_{вх} \leq 2U_{пор}$ транзистор знаходиться у режимі відсічки і на його колекторі висока напруга, яка приблизно дорівнює $U_{сс}$. Тому діод VD1 закритий і не впливає на роботу ключа. Коли $U_{вх} > 2U_{пор}$ транзистор відкривається і переходить до активного режиму ($U_{бе} > U_{пор}$; $U_{бк} \leq U_{пор}$). При збільшенні $U_{вх}$ струми бази і колектора транзистора зростають, а напруга $U_{ке}$ зменшується. Доки виконується умова $U_a - U_{ке} = U_{аб} \leq U_{пор}$ (U_a – напруга відносно землі в точці “а” схеми) діод VD1 закритий і не впливає на роботу ключа. З деякого значення напруги $U_{вх}$ починає виконуватися умова $U_{аб} > U_{пор}$, тому діод VD1 відкривається і фіксує напругу $U_{аб}$ на рівні $U_{аб} \approx U_{д.пр.}$ ($U_{д.пр.}$ – пряме падіння напруги на діоді). Через те що $U_{д.пр.} < 2U_{пор}$, колекторний перехід транзистора не відкриється і транзистор залишається в активному режимі поблизу межі з режимом насичення. Після відкриття VD1 частина вхідного струму відгалужується через цей діод, тому незалежно від $U_{вх}$, струм бази залишається практично постійним, близьким, але декілька меншим за $I_{бн.}$ Ненасичений режим роботи транзистора не веде до накопичення носіїв заряду в базі, що забезпечує збільшення швидкодії ключа за рахунок виключення часу розсмоктування заряду t_p . Швидкодія ненасиченого біполярного ключа обмежена складовими часу вимикання і увімкнення: $t_{вим} = t^{01} = t_{сп}$ (виключений час розсмоктування заряду t_p); $t_{ув} = t^{10} = t_{зт} + t_{ф}$ (час увімкнення такий самий, як для насиченого ключа).

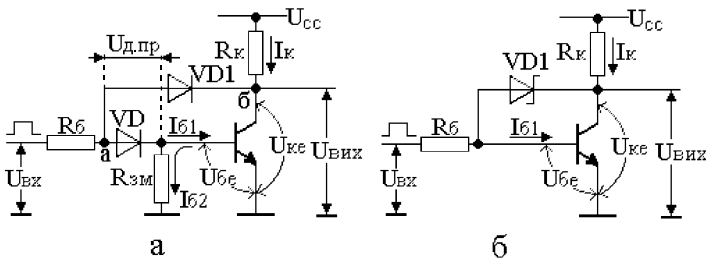


Рис. 2.7. Ненасичений біполярний ключ на напівпровідникових діодах (а) і на діоді Шоттки (б)

Отже, при інших однакових умовах ненасичений біполярний ключ має менший час вимикання $t_{\text{вим}}$. Але це тільки частина можливих покращень, оскільки відсутність насичення дозволяє практично необмежено збільшувати струми увімкнення і вимикання транзистора, тобто зменшувати $t_{\text{зт}}$, $t_{\text{ф}}$, $t_{\text{сп}}$.

Резистор $R_{\text{зм}}$ має суттєве значення для ключа з нелінійним зворотним зв'язком. Саме через цей резистор відбувається замикається струм $I_{\text{б2}}$, який витікає з транзистора. Оскільки для цього струму діод VD увімкнений у зворотному напрямку (рис. 2.7а), при відсутності резистора $R_{\text{зм}}$ тривалість спадання $t_{\text{сп}}$ колекторного струму ключа була би досить великою.

Ненасичені біполярні ключі з нелінійним зворотним зв'язком широко застосовують у цифровій техніці. Для реалізації такого зв'язку в біполярних ключах використовують діоди Шотткі. Такі діоди виготовляють на основі структури „метал-напівпровідник”, яка забезпечує їх високу швидкодію. Крім того, діоди Шотткі відкриваються при напрузі $U_{\text{порШ}} \approx 0,3 \text{ В}$, а не при $U_{\text{пор}} \approx 0,6 \text{ В}$, як звичайні напівпровідникові діоди на кремнієвому р-п переході і мають пряме падіння напруги $U_{\text{д.пр.Ш}} \approx 0,5 \text{ В}$, а не $U_{\text{д.пр.}} = U^* \approx 0,8 \text{ В}$, як напівпровідникові діоди. Оскільки $U_{\text{д.пр.Ш}} < U_{\text{пор}}$ в схемі ненасиченого ключа з діодом Шотткі немає необхідності використовувати діод VD для підвищення порога відкривання транзистора (рис. 2.7а), тому схема ключа з діодом Шотткі має вигляд, показаний на рис. 2.7б. В цій схемі також можна не використовувати резистор $R_{\text{зм}}$, оскільки відсутність діода VD сприяє замиканню струму $I_{\text{б2}}$ через внутрішній опір джерела вхідного сигналу.

В цифрових інтегральних мікросхемах, які використовують ненасичені ключі з діодами Шотткі, транзистор з нелінійним зворотним зв'язком на такому діоді створюється в єдиному технологічному циклі і має назву **транзистор Шотткі (ТШ)**. Структура інтегрального транзистора Шотткі показана на рис. 2.8б, а його умовне зображення – на рис. 2.8а. Транзистор сформований в кристалі кремнію р-типу (р-Si), в якому створені області емітера (n^+), бази (р) і колектора ($n^+ - n$). Области на рис. 2.8б з чорним кольором Е, Б, К є алюмінієвими контактами з областями емітера, бази і колектора, відповідно. Шар алюмінію, розташований на базовій області, утворює омичний контакт, а частина його на п-області колектора, через спеціальну обробку, створює випрямляючий контакт Шотткі, якому відповідає діод VD1 на рис. 2.7б.

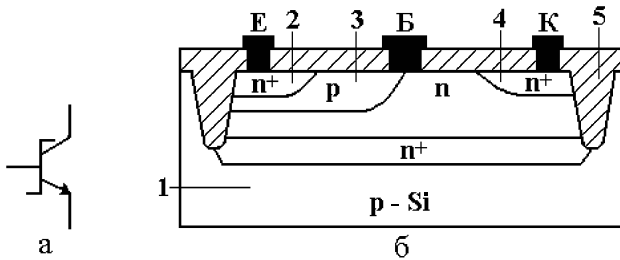


Рис. 2.8. Умовне позначення n-p-n транзистора Шотткі (а) і його інтегральна структура в розрізі (б): 1 – кристал кремнію p-типу, 2 – область емітера, 3 – область бази, 4 – область колектора, 5 – діелектрик SiO₂

Схема ненасиченого ключа на транзисторі Шотткі показана на рис. 2.9. Такий ключ має наступні особливості:

- процес розсмоктування неосновних носіїв заряду в ньому виключений, тому $t_p = 0$ і час вимикання ключа $t_{\text{вим}} = t_{\text{сп}}^{01} = t_{\text{сп}}$;
- час увімкнення ненасиченого ключа з діодом Шотткі такий же, як для насиченого ключа $t_{\text{ув}} = t^{10} = t_{\text{зт}} + t_{\text{ф}}$;
- відсутність режиму насичення транзистора Шотткі дозволяє форсувати струми, що вмикають і вимикають транзистор, тобто дозволяє значно зменшити тривалості часу $t_{\text{зт}}$, $t_{\text{ф}}$ і $t_{\text{сп}}$;
- ключ забезпечує малу тривалість вимикання завдяки тому, що транзистор Шотткі, як правило, через структурні особливості, має більш високі значення динамічного коефіцієнта передачі струму.

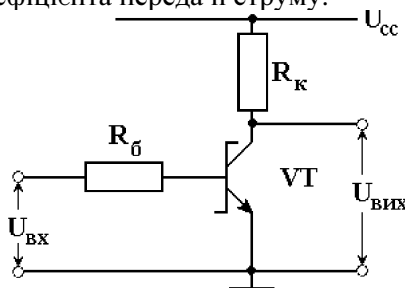


Рис. 2.9. Схема ненасиченого ключа на транзисторі Шотткі

Вказані вище властивості надають біполярним ключам на транзисторах Шотткі переваги, які дозволили їм витіснити в цифровій техніці практично всі інші схеми ключів на біполярних транзисторах.

2.2.5. Ключі на транзисторах Шотткі з динамічним навантаженням. Розглянуті вище ключі не позбавлені недоліків, до яких слід віднести:

- малу порогову напругу увімкнення і, як наслідок, низьку завадостійкість ключа;
- малі вихідні струми, які обмежують кількість споживачів ключа (навантажувальну здатність).

Ці недоліки усунуті в схемі ключа з динамічним навантаженням, яка показана на рис. 2.10. Ця схема, на відміну від схеми на рис. 2.9 замість резистора R_k використовує електронний елемент, опір якого змінюється під дією керуючої напруги. В якості такого елемента використовуються біполярні транзистори, в даному випадку транзистори Шотткі. Саме така схема ключового каскаду знайшла широке застосування в сучасній цифровій електроніці.

В цій схемі ключ на транзисторі VT_5 має колекторне динамічне навантаження, функцію якого виконує складовий транзистор, реалізований на VT_3 і VT_4 (пара Дарлінгтона). Складовий транзистор (VT_3 , VT_4) і транзистор VT_5 перемикаються протифазними сигналами, для формування яких в схемі використовується каскад на транзисторі VT_1 та резисторах R_1 , R_2 . Цей каскад формує протифазні напруги на колекторі і емітері VT_1 , які подаються на бази VT_3 і VT_5 , тому його називають парофазним каскадом.

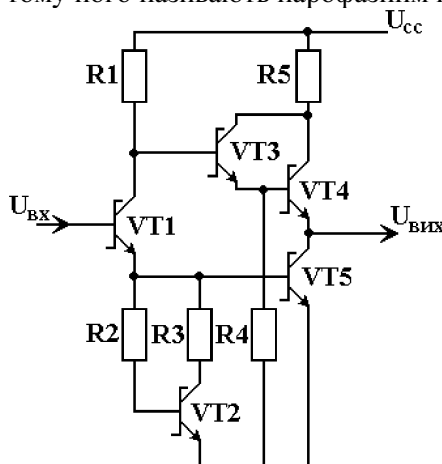


Рис. 2.10. Схема ключа на транзисторах Шотткі з динамічним навантаженням

Складовий транзистор VT_3 , VT_4 в схемі рис. 2.10 має подвійне призначення. По-перше, разом з навантаженням

ключа (при закритому стані транзистора VT5) він утворює емітерний повторювач, який забезпечує великий вихідний струм ключа і, тим самим, високу навантажувальну здатність при високому рівні напруги $U_{\text{вих}}^1$ на виході ключа. По-друге, складовий транзистор відкривається при напрузі між базою VT3 і емітером VT4, яка дорівнює $2U_{\text{пор}} \approx 1,2 \text{ В}$, що забезпечує його надійне запирання при відкритому стані транзистора VT5. Якщо в якості динамічного навантаження VT5 використати лише транзистор VT4, який відкривається при $U_{\text{бе}} > U_{\text{пор}} \approx 0,6 \text{ В}$, то при відкритому стані VT5, він теж буде відкритим і шина живлення ключа через малі опори відкритих транзисторів VT4, VT5 та досить малий опір R5 буде замкнена на землю, що не припустимо, оскільки в цьому випадку у вихідному колі ключа виникає небезпечний за величиною струм, а низький рівень вихідної напруги $U_{\text{вих}}^0$ стає залежним від розкиду параметрів транзисторів VT4, VT5. Дійсно, знайдемо різницю потенціалів між колекторами транзисторів VT1 і VT5, коли вони відкриті, яка і є напругою, прикладеною між базою і емітером складового транзистора динамічного навантаження. Ця напруга (рис. 2.10) дорівнює $U_{\text{беVT5}} + U_{\text{кеVT1}} - U_{\text{кеVT5}} = U_{\text{беVT5}}$ (при ідентичності відкритих VT1 і VT5 $U_{\text{кеVT1}} = U_{\text{кеVT5}}$). Оскільки в відкритому стані транзистора $U_{\text{бе}} \sim 0,7 \div 0,8 \text{ В} > U_{\text{пор}} \approx 0,6 \text{ В}$, то зрозуміло, що при використанні в якості динамічного навантаження транзистора VT5 замість складового транзистора, який відкривається при напрузі більшій, ніж $2U_{\text{пор}} \approx 1,2 \text{ В}$ одного транзистора VT4, він буде відкритим при відкритому стані VT5.

Резистор R4 в схемі на рис. 2.10 використовується для вирівнювання струмів емітерів транзисторів VT3 і VT4, що обумовлено особливостями інтегральної схемотехніки. Транзисторно-резистивний каскад VT2, R3 забезпечує підвищення порогу відкриття транзистора VT1 і покращує перехідну ділянку передаточної характеристики ключа. Резистор R5 призначено для обмеження електричного струму вихідного ланцюга ключа при відкритому стані транзисторів VT4 і VT5, який має місце протягом досить коротких інтервалів часу в процесі перемикання ключа між станами високого і низького рівнів вихідної напруги. Резистор R5 також обмежує струм крізь відкриті транзистори VT3, VT4 при замиканні виходу ключа на землю.

При низькому рівні вхідної напруги $U_{\text{вх}} \leq 2U_{\text{пор}}$ транзистори VT1, VT5 закриті і вихід ключа відключений від землі. На колекторі закритого VT1 рівень напруги близький до $U_{\text{сс}}$, що забезпечує відкриття складового транзистора

VT3, VT4 і підключення виходу схеми до шини живлення, що забезпечує високий вихідний рівень напруги $U_{\text{вих}}^1$. При $U_{\text{вих}} > 2U_{\text{пор}}$ транзистори VT1 і VT2 відкриваються. Струми, що протікають крізь ланцюг R2, R3, VT2, створюють на емітерному переході транзистора VT5 падіння напруги, яке відкриває його. Як було показано вище, це веде до закриття транзисторів VT3, VT4. Вихід ключа підключається до землі і відключається від шини живлення, на ньому формується низький рівень напруги $U_{\text{вих}}^0$. Ключі на транзисторах Шотткі застосовують в різних серіях інтегральних мікросхем, наприклад, в серіях K555, KP1531, KP1533 (закордонні аналоги 54S, 74S, 54LS, 74ALS).

2.3 Ключі на польових (уніполярних) транзисторах

2.3.1 Загальні поняття, особливості. Польові транзистори додають ключам ряд істотних переваг, які сприяють їх широкому застосуванню в комп'ютерній електроніці. Такими перевагами є:

1. Дуже високий вхідний опір ключів і, як наслідок, мала споживана потужність від джерела керуючої напруги;
2. Мала залишкова напруга на відкритому ключі;
3. Високий опір закритих польових транзисторів, що забезпечує малий струм, який протікає через ключ;
4. Надійна електрична розв'язка між однотипними ключами без використання розділових елементів;
5. Висока технологічність виготовлення виробів мікросхемотехніки;
6. Високий ступінь інтеграції мікросхем на уніполярних транзисторах, що забезпечується меншою площею, яку ці транзистори займають на кристалі порівняно з біполярними транзисторами.

Базова схема ключа на уніполярному (польовому) транзисторі подібна до схеми ключа на біполярному транзисторі (рис. 2.1), якщо в ній замість біполярного транзистора включити уніполярний транзистор. Проте у зв'язку з більшою кількістю виводів (з урахуванням виводу підкладки) і типів польових транзисторів, а також можливих варіантів елементів навантаження, кількість різновидів схем ключів на польових транзисторах досягає двохсот. Природно, не всі вони задовольняють вимогам, що висуваються до ключів при їх використанні в цифрових пристроях. У зв'язку з цим нижче розглянуті тільки ключі, що застосовуються в сучасній комп'ютерній електроніці.

В даний час в цифровій електроніці переважно застосовують польові транзистори з **ізолюваним затвором та індукованим n- або p-каналом**. Такі транзистори створюють у вигляді структури „метал-оксид-напівпровідник” (МОН), тому їх називають **МОН-транзисторами**. Інтегральні структури та умовне зображення таких транзисторів показані на рис. 2.11а,б.

Основою МОН-транзисторів з n-каналом є пластина р-кремнію, в якій створюють дві p^+ області з підведеними до них металевими електродами (на рис. 2.11а,б вони показані чорним кольором). Ці електроди мають назву сток (С) і виток (В). На поверхні пластини р-кремнію, шляхом її окислення створюють шар діелектрика SiO_2 , на який наносять металевий електрод – затвор (З). Електрод, створений на протилежній поверхні пластини має назву підкладка (П). МОН-транзистор з р-каналом має подібну структуру (рис. 2.11б) і створюється на основі n-кремнію, в якому формують p^+ області стоку і виток. Від виток до стоку протікає робочий струм транзистора, яким можна керувати напругою прикладеною між затвором і витком або між затвором і підкладкою. Для р-МОН транзистора полярність стоку відносно землі негативна, а для n-МОН – позитивна.

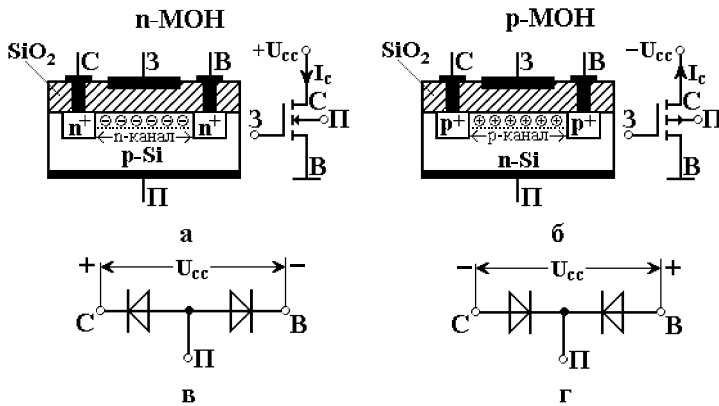


Рис. 2.11. Інтегральна структура і умовне зображення n-МОН (а) і р-МОН (б) транзистора та еквівалентні схеми кола „стік - витік” для n-МОН (в) і р-МОН (г) транзисторів при відсутності каналу.

Роботу МОН-транзисторів розглянемо на прикладі транзистора з n- каналом (рис. 2.11а). Коли напруга, прикладена між затвором і витком транзистора достатньо мала

або негативна, канал між стоком і витокom не утворюється, тому струм, що протікає між цими електродами визначається колом з двох зустрічно увімкнених р-п переходів. У еквівалентній схемі на рис. 2.11 в ці р-п переходи відображають діоди. Оскільки один з цих діодів (стоковий р-п перехід) закритий, між стоком і витокom транзистора протікає дуже малий струм зворотно зміщеного р-п переходу, тобто МОН- транзистор знаходиться у закритому стані. При позитивній напрузі між затвором і витокom транзистора $U_{зв}$ неосновні носії заряду – електрони в р- кремнії притягуються в підзатворну область, а дірки виштовхуються з неї. Як наслідок, концентрація електронів в підзатворній області зростає. При деякій напрузі вона зрівняється з концентрацією дірок і при подальшому збільшенні напруги перевищить її. В підзатворній області транзистора виникає п-канал, тобто відбувається інверсія типу провідності напівпровідника. Як наслідок, р-п переходи в колі „сток - виток” підзатворної області транзистора зникають і його струм визначається порівняно невеликим електричним опором п-каналу, який зменшується при зростанні напруги $U_{зв}$ завдяки розширенню каналу від поверхні в глибину пластини р-кремнію. Таким чином п-МОН транзистор відкривається. Напругу $U_{зв}$, при якій МОН-транзистор відкривається за рахунок виникнення каналу, називають пороговою напругою $U_{пор}$. Величина $U_{пор}$ для МОН- транзисторів у мікросхемах різного ступеня інтеграції складає від 0,7 до 2 В. р-МОН транзистор працює таким же чином, як п-МОН. Різниця полягає в тому, що керуюча напруга $U_{зв}$ для такого транзистора є негативною і транзистор відкривається, коли в ньому виникає р-канал (рис. 2.11б).

Основними статичними характеристиками МОН-транзисторів є стоко-затворна і стокова вольт-амперні характеристики. Стоко-затворна характеристика визначає зв'язок між струмом стоку I_c і напругою $U_{зв}$ при фіксованій напрузі між стоком і витокom $U_{св} = \text{const}$, а стокова ВАХ – зв'язок між струмом I_c і напругою $U_{св}$ при фіксованій напрузі $U_{зв} = \text{const}$. Стоко-затворна характеристика при напрузі підкладка-виток $U_{пв} = 0$ В та $U_{св} = \text{const}$ і сімейство стокових характеристик для п-МОН транзистора показані на рис. 2.12.

На стокових ВАХ (рис. 2.12б) можна виділити дві ділянки, а саме: круту ділянку **I**, так звану „тріодну” область, якій відповідає різка залежність струму I_c від напруги $U_{св}$ і полого ділянку **II** (область насичення або, так звану, „пен-тодну” область), на якій I_c практично не залежить від $U_{св}$.

Ці ділянки розділяє геометричне місце точок (показане на рис. 2.12б пунктиром), в яких виконується умова $U_{свн} = U_{зв} - U_{пор}$. Напряга $U_{свн}$ між стоком і витоком, яка відповідає цим точкам, називається напругою насичення.

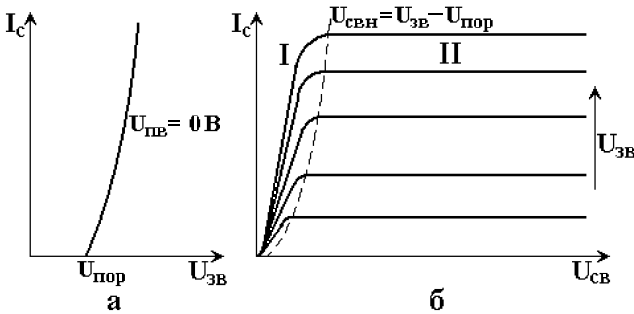


Рис. 2.12. Стоко-затворна (а) і сімейство стокових вольт-амперних характеристик (б) n-МОН транзистора

Стокова вольт-амперна характеристика МОН- транзистора при $|U_{зв}| > |U_{пор}|$ описується рівняннями Хофстайна:

$$I_C = v[(U_{зв} - U_{пор}) U_{св} - 0,5 U_{св}^2] \text{ при } 0 \leq |U_{св}| \leq |U_{свн}|, \quad (2.28)$$

$$I_C = 0,5 v (U_{зв} - U_{пор})^2 \text{ при } |U_{св}| \geq |U_{свн}|, \quad (2.29)$$

де $v = dI_C/dU_{зв}$ – питома крутизна стоко-затворної характеристики.

Розглянемо роботу ключів на МОН-транзисторах.

2.3.2 Ключі з динамічним навантаженням мають більшість із вищезгаданих переваг. Іноді їх називають ключами з нелінійним транзисторним навантаженням. В таких ключах, як правило, використовують кремнієві n-канальні транзистори, які мають кращі частотні властивості і меншу порогову напругу, ніж р-канальні транзистори.

Типова схема такого ключа показана на рис. 2.13. Роль динамічного навантаження перемикаючого транзистора VT1, включеного за схемою із загальним витоком, виконує транзистор VT2, сток і затвор якого з'єднані між собою і підключені до шини живлення. Транзистор VT1 називають також активним, а VT2 – навантажувальним.

Для пояснення роботи ключа з динамічним навантаженням в статичному режимі використаємо статичні стокові вольт-амперні характеристики МОН – транзистора VT1, на яких побудуємо навантажувальну лінію так, як показано на рис. 2.14.

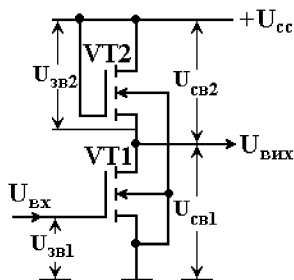


Рис. 2.13 Схема транзисторного п – МОН ключа з динамічним навантаженням

Передусім зазначимо, що ВАХ транзистора VT2 відрізняється від ВАХ VT1, оскільки він включений як двополіусник і для нього $U_{ЗВ2} = U_{СВ2}$. Звідси впливає нерівність $U_{СВ2} > U_{ЗВ2} - U_{пор2} = U_{СВН2}$, тобто напруга між стоком і витком VT2 перевищує напругу насичення і цей транзистор працює на пологій ділянці характеристики, яка описується виразом (2.29). Тому ВАХ транзистора навантаження VT2 можна одержати з (2.29) підстановкою $U_{ЗВ} = U_{СВ2}$:

$$I_{C2} = 0,5 v_2 (U_{СВ2} - U_{пор2})^2 \quad (2.30)$$

Як видно з (2.30) залежність $I_{C2} = f(U_{СВ2})$ є параболою, зсунутою по вісі напруги на величину $U_{пор2}$ (в діапазоні значень $0 \leq U_{СВ2} \leq U_{пор2}$ струм $I_{C2}=0$).

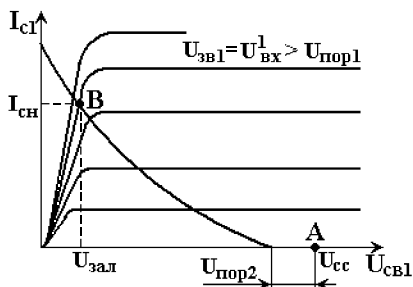


Рис. 2.14 Розташування робочих точок на вихідних характеристиках п-МОН ключа з динамічним навантаженням

Ця характеристика побудована на рис.2.14 у відповідності з правилами побудови ліній навантаження (див. підрозділ 2.2.2). Вона є лінію навантаження активного транзистора VT1, яка в даному випадку нелінійна.

При наявності на вході ключа (затвор VT1) напруги низького рівня $U_{\text{вх}}^0 < U_{\text{пор1}}$, транзистор VT1 закритий і через нього протікає залишковий струм $I_{\text{зал}}$, що є зворотним струмом стокового р-n переходу транзистора (рис. 2.11а,в), який знаходиться під зворотною напругою, близькою до $U_{\text{сc}}$ (значення $I_{\text{зал}}$ для інтегральних транзисторів звичайно менше $10^{-9} - 10^{-10}$ А). В цьому випадку напруга між стоком і витоком транзистора VT1 має найбільше значення $U_{\text{св1}} = U_{\text{вих}} \approx U_{\text{сc}}$, тому напруга між затвором і витоком VT2 близька до нуля, і він також закритий. На рис. 2.14 точка А, в якій $U_{\text{св1}} = U_{\text{сc}}$, показана як робоча точка ключа в цьому режимі. Але точне місцеположення робочої точки в даному випадку є невизначеним, оскільки його визначає точка перетину зворотних ВАХ стокових р-n переходів транзисторів VT1 і VT2, а самі ВАХ мають суттєву залежність від випадкових опорів витоків (стоків) цих транзисторів. Це означає, що абсциса точки А, а тому і вихідна напруга ключа є випадковими величинами, які знаходяться в діапазоні $U_{\text{сc}} > U_{\text{св1}} > U_{\text{сc}} - U_{\text{пор2}}$.

При високому рівні напруги на вході ключа $U_{\text{вх}}^1 > U_{\text{пор1}}$ активний транзистор VT1 відкритий і через нього протікає струм, який визначає точка перетину навантажувальної лінії $I_{\text{с2}} = f(U_{\text{св2}})$ і ВАХ транзистора VT1 при $U_{\text{зв1}} = U_{\text{вх}}^1$, (точка В на рис. 2.14). Падіння напруги на VT1, яке називають **залишковим** $U_{\text{зал}} = U_{\text{св1}} = U_{\text{вих}}^0$, при відповідному виборі параметрів транзисторів VT1 і VT2, може бути незначним. У зв'язку з цим $U_{\text{зв2}} > U_{\text{пор2}}$ і транзистор VT2 також відкритий, але падіння напруги на ньому приблизно дорівнює напрузі джерела живлення $U_{\text{св2}} \approx U_{\text{сc}}$. Струм, що протікає через відкриті VT1 і VT2, є струмом насичення ключа $I_{\text{сн}}$. Його можна знайти, якщо в (2.30) підставити $U_{\text{св2}} = U_{\text{сc}}$. В результаті для струму $I_{\text{сн}}$ одержимо наступний вираз:

$$I_{\text{сн}} = 0,5v_2(U_{\text{сc}} - U_{\text{пор2}})^2. \quad (2.31)$$

Падіння напруги, яке створює струм $I_{\text{сн}}$ на відкритому транзисторі VT1, і є залишковою напругою $U_{\text{зал}}$. Її величину можна знайти як добуток $I_{\text{сн}}$ і опору відкритого транзистора VT1. Цей опір можна визначити врахувавши те, що в робочій точці В (рис. 2.14), яка знаходиться на крутій (тріодній) ділянці стокової характеристики, ВАХ транзистора VT1 описує вираз (2.28). Оскільки для тріодної області можна прийняти $U_{\text{св}} \ll U_{\text{зв}} - U_{\text{пор}}$, то квадратичним доданком $U_{\text{св}}^2$ у (2.28) можна знехтувати і записати цей вираз як:

$$I_{\text{с1}} = v_1(U_{\text{зв1}} - U_{\text{пор1}})U_{\text{св1}}. \quad (2.32)$$

Коефіцієнт пропорційності перед $U_{св1}$ в (2.32) називають **провідністю каналу**, а зворотну йому величину **опором каналу** МОН-транзистора на тріодній ділянці ВАХ

$$r_{к1} = \frac{1}{v_1(U_{зв1} - U_{пор1})}. \quad (2.33)$$

Враховавши те, що $U_{зв1} = U_{вх}^1$, на підставі співвідношень (2.31) і (2.33) можна одержати наступний вираз для залишкової напруги уніполярного ключа з динамічним навантаженням:

$$U_{зал} = U_{вих}^0 = r_{к1} I_{сн} = \frac{v_2(U_{сс} - U_{пор2})^2}{2 v_1(U_{вх}^1 - U_{пор1})}. \quad (2.34)$$

Відзначимо, що для реальних схем ключів в (2.34) завжди виконується умова $U_{вх}^1 \leq U_{сс}$.

Співвідношення (2.34) дозволяє сформулювати вимоги до параметрів МОН-транзисторів в ключах з динамічним навантаженням, при яких забезпечується мала величина залишкової напруги: **питома крутизна стоку – затворної характеристики активного транзистора повинна значно перевищувати питому крутизну транзистора навантаження ($v_1 \gg v_2$)**.

Питома крутизна однотипних за структурою МОН-транзисторів залежить від відношення ширини каналу до його довжини. Для інтегральних транзисторів технологічно зручно варіювати ширину каналу. Тому в схемі ключа на рис. 2.13 **активний транзистор VT1 має суттєво більшу ширину каналу, ніж транзистор навантаження VT2**.

Якщо забезпечити відношення $v_1/v_2 = 50 \div 100$, що цілком реально для інтегральних транзисторів, то залишкова напруга буде складати величину $100 \div 50$ мВ.

Ключі з динамічним навантаженням на МОН-транзисторах використовувались у ряді серій інтегральних мікросхем: K144, K161, K501, KP580, KP1801, KP1810 та інших. Слід зазначити, що таким ключам притаманні недоліки такі, як підвищена споживана потужність і відносно низьке значення напруги високого рівня. Завдяки цим недолікам ключі з динамічним навантаженням практично не використовуються в сучасній комп'ютерній техніці.

Відомі також інші види схмотехнічної побудови ключів на МОН-транзисторах, які в ланцюзі стоку активного транзистора мають динамічне навантаженням на польових транзисторах, що дозволяє отримати значення вихідної напруги високого рівня близьке до напруги джерела жив-

лення. До таких видів схемотехнічної побудови ключів слід віднести ключі з **квазілінійним і струмостабілізуючим навантаженням**. Перші з них мають схему подібну до схеми на рис. 2.13, але в них затвор VT2 живлять від окремого джерела, напруга якого перевищує напругу U_{cc} на величину порогової напруги транзистора навантаження $U_{пор2}$. В схемі струмостабілізуючого ключа, як стокове навантаження активного транзистора, використовують МОН-транзистор з вбудованим каналом, в якому затвор з'єднаний з витоком. Хоча у таких ключах усунені вказані вище недоліки звичайного МОН-ключа з динамічним навантаженням, їх використання в комп'ютерній електроніці обмежено через складнощі технологічного процесу виготовлення в мікросхемному варіанті, тим більше, що на цей час знайдено оптимальний варіант схеми ключа – комплементарний МОН-транзисторний ключ.

2.3.3 Ключі на комплементарних МОН-транзисторах. Як впливає з підрозділу 2.3.2, ключ з транзистором навантаження у стані з низьким рівнем вихідної напруги $U_{вих}^0$ споживає відносно великий постійний струм. Проте в схемах на таких ключах вхідний сигнал будь-якого ключа формується не струмом, який споживає ключ на МОН-транзисторах, а перепадом напруги, оскільки вхідний струм МОН-транзисторів, на відміну від біполярних транзисторів, практично дорівнює нулю. Це означає, що постійна складова струму, що споживають ключі на МОН-транзисторах, є марною з точки зору організації взаємодії між ними в цифрових схемах і приводить до необґрунтованих електричних втрат і нагріву транзисторів. Цей недолік МОН-транзисторних ключів з динамічним навантаженням привів до розробки ключа, який знайшов широке застосування в комп'ютерній електроніці.

Мова йде про ключ на взаємодоповнюючих, **комплементарних** (від англійського слова complementary – доповнення) МОН-транзисторах. Такий ключ називають комплементарним МОН-транзисторним ключем або КМОН-ключем. Схема КМОН-ключа наведена на рис. 2.15. Вона складається з р-канального (VT2) і n-канального (VT1) транзисторів, стоки і затвори яких з'єднані між собою.

В цій схемі, на відміну від схеми на рис. 2.13, неможливо виділити активний і навантажувальний транзистори. Обидва транзистори включені за схемою із загальним витоком і тому ключ повністю симетричний відносно вхідної і вихідної напруг. Але вхідні напруги для транзисторів VT1 і VT2 визначаються по різному. Для транзистора VT1

керуюча вхідна напруга визначається відносно загальної шини (землі), а для транзистора VT2 – відносно шини живлення, до якої підключено виток цього транзистора. Таке співвідношення керуючих вхідних напруг транзисторів VT1, VT2 задає взаємно протилежні режими їх роботи при формуванні рівня вихідної напруги ключа.

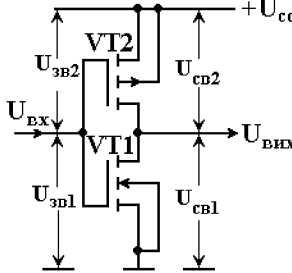


Рис. 2.15 Схема комплементарного МОН-транзисторного ключа

Нехай порогові напруги для транзисторів VT1 і VT2, відповідно, $U_{пор1}$ і $U_{пор2}$. Розглянемо роботу КМОН-ключа у двох випадках, коли $U_{cc} > U_{пор1} + |U_{пор2}|$ і коли $\max(U_{пор1}, |U_{пор2}|) < U_{cc} < U_{пор1} + |U_{пор2}|$.

У **першому випадку** ($U_{cc} > U_{пор1} + |U_{пор2}|$) при низькому рівні напруги на вході ключа $U_{вх} < U_{пор1}$ транзистор VT1 закритий, оскільки для нього $U_{зв1} = U_{вх}$, а транзистор VT2, для якого $|U_{зв2}| = |U_{вх} - U_{cc}| > |U_{пор2}|$ (див. рис. 2.15), відкритий і працює в тріодному режимі на крутій ділянці стоквої ВАХ. В цьому випадку робоча точка ключа (точка А) розташована на осі абсцис з координатою $U_A \approx U_{cc}$ (рис. 2.16). Напруга на виході ключа – це падіння напруги на закритому транзисторі VT1, який має великий опір $R_1 \approx 10^9 \div 10^{12}$ Ом. Цей опір включений послідовно з опором відкритого транзистора VT2, який відповідно до (2.33) має значення $r_{к2} \approx 6 \cdot 10^2$ Ом при $v_2 = 0,5$ мА/В², $U_{cc} = 5$ В, $U_{пор2} = 1,5$ В, $U_{вх} = 0,1$ В. На виході ключа встановлюється напруга високого рівня $U_{вих}^1$, яку можна обчислити за формулою:

$$U_{вих}^1 = \frac{U_{cc} R_1}{R_1 + r_{к2}} \approx U_{cc}. \quad (2.35)$$

Типове значення напруги високого рівня для КМОН-ключів $U_{вих}^1 \approx 0,999 U_{cc}$.

Режиму роботи ключа при $U_{вх} < U_{пор1}$ відповідає ділянка передаточної характеристики обмежена точками 1 – 2 (рис. 2.17). Струм, що споживає ключ від джерела живлення в цьому режимі визначає співвідношення:

$$I_{cc} = \frac{U_{cc}}{R_1 + r_{k2}} \approx \frac{U_{cc}}{R_1}. \quad (2.36)$$

Цей струм дуже малий, його типові значення $\sim 10^{-9} - 10^{-12}$ А.

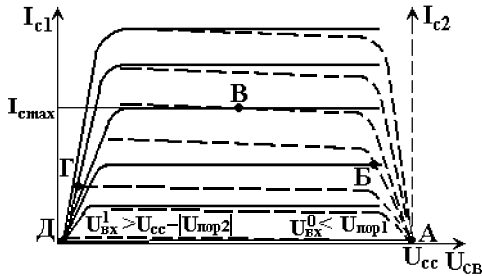


Рис. 2.16 Положення робочих точок на стокових характеристиках транзисторів КМОН-ключа у випадку $U_{cc} > U_{пор1} + |U_{пор2}|$

При напрузі на вході ключа в діапазоні $U_{пор1} < U_{вх} < |U_{свн2}|$ ($U_{свн2} = U_{зв2} - U_{пор2}$ – напруга насичення транзистора VT2, що розділяє круту і пологу ділянки його ВАХ) транзистор VT1 працює на пологій, а VT2 на крутій ділянці стокової ВАХ. Цьому режиму відповідає одна з можливих для нього точок – точка Б на рис. 2.16. В цій точці комплементарна пара транзисторів працює в підсилювальному режимі. Відкриті транзистори утворюють ланцюг, який споживає електричну потужність від джерела живлення ключа. При зростанні $U_{вх}$ в межах даного діапазону, струм I_{cc} ланцюга VT1–VT2 і потужність, яку споживає ключ, зростають, а вихідна напруга зменшується (ділянка передаточної характеристики, яка обмежена точками 2 – 3 на рис. 2.17).

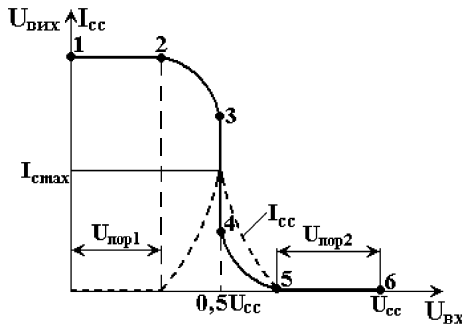


Рис. 2.17 Передаточна характеристика і струм споживання I_{cc} КМОН-ключа в режимі $U_{cc} > U_{пор1} + |U_{пор2}|$.

При подальшому збільшенні вхідної напруги, коли $U_{\text{вх}} \geq U_{\text{сc}} - |U_{\text{пор2}}| - |U_{\text{свн2}}|$ транзистор VT2, переходить в режим насичення і обидва транзистори працюють в пентодному режимі на пологій ділянці ВАХ. Взаємодоповнююча пара транзисторів утворює підсилювач на транзисторі VT1 з динамічним навантаженням на транзисторі VT2. Такий підсилювач має максимальний коефіцієнт передачі напруги, тому передаточна характеристика на ділянці між точками 3–4 близька до вертикальної лінії (рис. 2.17). Якщо транзистори комплементарної пари мають однакові параметри $v_1 = v_2$, $U_{\text{пор1}} = |U_{\text{пор2}}|$, то вхідна напруга ключа, яка відповідає середині цієї ділянки, має значення $U_{\text{вх}} = 0,5U_{\text{сc}}$. Струм живлення ключа різко зростає із збільшенням $U_{\text{вх}}$ і досягає максимального значення $I_{\text{сmax}}$ в середині ділянки передаточної характеристики, обмеженої точками 3–4 (рис. 2.17). При цьому робоча точка В ключа лежить на перетині пологих ділянок стокових характеристик транзисторів, як показано на рис. 2.16.

При подальшому зростанні вхідної напруги комплементарного МОН-транзисторного ключа в діапазоні $U_{\text{пор1}} \leq U_{\text{вх}} < U_{\text{сc}} - |U_{\text{пор2}}|$ транзистор VT1 з пентодного переходить до тріодного режиму роботи (крута ділянка ВАХ), а транзистор VT2 залишається в пентодному режимі (полого ділянка ВАХ). Схема, також як і на ділянці передаточної характеристики, що обмежена точками 2 – 3, працює як підсилювач, тільки з взаємозаміненими параметрами транзисторів. Цьому режиму відповідає одна з можливих для нього точок – точка Г (рис. 2.16) і ділянка передаточної характеристики, яка розташована між точками 4 – 5 на рис. 2.17. Струм $I_{\text{сc}}$, який споживається від джерела живлення, тепер зменшується при зростанні вхідної напруги за рахунок початку процесу закриття транзистора VT2.

Коли вхідна напруга ключа задовольняє умові $U_{\text{вх}} \geq U_{\text{сc}} - |U_{\text{пор2}}|$, транзистор VT2 повністю закривається, а VT1 продовжує працювати в тріодному режимі на крутій ділянці ВАХ. Струм послідовного ланцюга VT1–VT2 визначає опір R_2 закритого транзистора VT2, через який протікає малий струм $I_{\text{с2}} \sim 10^{-9} \div 10^{-12}$ А. Цьому режиму КМОН-ключа відповідає ділянка передаточної характеристики, яка обмежена точками 5 – 6 (рис. 2.17). Опір каналу $r_{\text{к1}}$ відкритого транзистора VT1 можна обчислити за формулою (2.33) з урахуванням того, що в граничному випадку $U_{\text{зв1}} = U_{\text{сc}}$. Тоді напруга на відкритому транзисторі VT1, тобто вихідна напруга ключа низького рівня $U_{\text{вих}}^0$ дорівнює

$$U_{\text{вих}}^0 = I_{c2} r_{k1} = \frac{I_{c2}}{v_1 (U_{\text{cc}} - U_{\text{пор1}})} \quad (2.37)$$

При $I_{c2} = 10^{-9} \text{ A}$, $v_1 = 0,5 \text{ мА/В}^2$, $U_{\text{cc}} = 5 \text{ В}$, $U_{\text{пор1}} = 1,5 \text{ В}$ напруга $U_{\text{вих}}^0 = 0,6 \text{ мкВ}$, тобто практично нульова. Вихідну напругу низького рівня для КМОН-ключа звичайно оцінюють як $U_{\text{вих}}^0 = 10^{-4} U_{\text{cc}}$, тому для розглянутого режиму робоча точка Д практично розташована на початку координат (рис. 2.16).

Таким чином, при напрузі живлення $U_{\text{cc}} > U_{\text{пор1}} + |U_{\text{пор2}}|$ КМОН-ключ із зростанням вхідної напруги $U_{\text{вх}}$ формує вихідну напругу $U_{\text{вих}}$, що змінюється в межах від напруги живлення U_{cc} до нуля. На перехідній ділянці передаточної характеристики, обмеженої точками 2 – 5 (рис. 2.17), ключ споживає струм, максимальне значення якого I_{cmax} відповідає середині ділянки, розташованої між точками 3 – 4. Цей струм можна розрахувати на підставі формули (2.29), якщо записати його для транзисторів VT1 і VT2 з урахуванням напруг, які діють в схемі КМОН-ключа (рис. 2.15):

$$I_{c1} = 0,5 v_1 (U_{\text{вх}} - U_{\text{пор1}})^2, \quad (2.38)$$

$$I_{c2} = 0,5 v_2 (U_{\text{cc}} - U_{\text{вх}} - |U_{\text{пор2}}|)^2. \quad (2.39)$$

Оскільки $I_{c1} = I_{c2}$, то з (2.38), (2.39) отримаємо рівняння для $U_{\text{вх}}$, при якому споживаний ключем струм має значення I_{cmax} . Розв'язавши це рівняння і підставивши отримане значення $U_{\text{вх}}$ в (2.38) одержимо вираз для I_{cmax} :

$$I_{\text{cmax}} = v_1 v_2 \frac{(U_{\text{cc}} - U_{\text{пор1}} - |U_{\text{пор2}}|)^2}{(\sqrt{v_1} + \sqrt{v_2})^2}. \quad (2.40)$$

При розгляді роботи КМОН-ключа у **другому випадку**, коли напруга джерела живлення обрана в інтервалі $\max(U_{\text{пор1}}, |U_{\text{пор2}}|) < U_{\text{cc}} < U_{\text{пор1}} + |U_{\text{пор2}}|$, треба, як і у першому випадку, враховувати те, що $U_{\text{зв1}} = U_{\text{вх}}$, а $U_{\text{зв2}} = U_{\text{вх}} - U_{\text{cc}}$. Тоді при низькому рівні напруги на вході ключа, яка задовольняє умовам $U_{\text{вх}}^0 < U_{\text{пор1}}$ і $U_{\text{вх}}^0 < U_{\text{cc}} - |U_{\text{пор2}}|$, транзистор VT1 буде закритим, а транзистор VT2 відкритим, тобто в другому випадку, як і в першому, буде реалізовано режим, якому відповідає ділянка передаточної характеристики, що обмежена точками 1 – 2 на рис. 2.17. На виході ключа встановлюється високий рівень напруги $U_{\text{вих}}^1 \approx U_{\text{cc}}$. При зрос-

танні вхідної напруги, коли $U_{cc} < U_{пор1} + |U_{пор2}|$ транзистор VT2 закритий ще до того, як відкриється транзистор VT1. У цьому випадку реалізується режим роботи ключа, в якому його вихідна напруга визначається опорами R_1 і R_2 закритих транзисторів VT1 і VT2:

$$U_{вих} = \frac{U_{cc} R_1}{R_1 + R_2}. \quad (2.41)$$

Слід зазначити, що величини опорів R_1 і R_2 , для різних КМОН-ключів інтегральної схеми, змінюються в досить широких межах за випадковим законом.

При подальшому збільшенні вхідної напруги, коли вона задовольняє умовам $U_{вх} > U_{пор1}$ і $U_{вх} > U_{cc} - |U_{пор2}|$, транзистор VT1 відкривається, а транзистор VT2 залишається закритим. На виході ключа встановлюється низький рівень напруги $U_{вих}^0 \approx 0$ В. В цьому випадку, як і при умові $U_{cc} > U_{пор1} + |U_{пор2}|$ реалізується режим роботи ключа, якому відповідає ділянка передаточної характеристики, розташована між точками 5 – 6 на рис. 2.17.

Таким чином, суттєвою відмінною роботи КМОН-ключа при умові $\max(U_{пор1}, |U_{пор2}|) < U_{cc} < U_{пор1} + |U_{пор2}|$, є те, що в цьому випадку відсутній режим, в яких транзистори VT1 і VT2 одночасно відкриті і ключ працює як підсилювач напруги. Це означає, що на передаточній характеристиці ключа відсутні ділянки, які обмежені точками 2 – 3, 3 – 4 і 4 – 5 (рис. 2.17).

Порівняння особливостей роботи КМОН-ключа при різних варіантах співвідношення між величиною напруги живлення U_{cc} і пороговими напругами МОН-транзисторів $U_{пор1}$ та $U_{пор2}$ дозволяє зробити висновок, що кожний з цих варіантів має свої переваги та недоліки і вибір конкретного з них залежить від вимог, які висуваються до ключа. Однією з таких вимог є висока швидкодія ключа, яка визначається перехідними процесами в його схемі.

2.3.4 Перехідні процеси в МОН-транзисторних ключах. Перехідні процеси в ключах на МОН-транзисторах обумовлені переносом носіїв заряду через канал транзистора, перезарядкою ємностей транзистора (ємності затвора та міжелектродних ємностей), а також перезарядкою ємностей, що входять до комплексного навантаження ключа.

Час переносу носіїв через канал $t_{пер}$ визначається співвідношенням:

$$t_{пер} = \frac{2,2L^2}{\mu(U_{зв} - U_{пор})}, \quad (2.42)$$

де L – довжина каналу транзистора, μ – рухливість носіїв заряду в каналі.

Оскільки рухливість дірок в кремнії приблизно у два рази менша за рухливість електронів, з (2.42) випливає, що n -канальні МОН-транзистори мають більшу швидкодію ніж p -канальні МОН-транзистори. Для інтегральних n -канальних МОН-транзисторів мікросхеми процесора Pentium 4 при $L = 0,13$ мкм, $\mu = 4 \cdot 10^{-2} \text{ м}^2 \text{В}^{-1} \text{с}^{-1}$ і $U_{зв} - U_{пор} \approx 1 \text{ В}$, час переносу електронів через канал транзистора $t_{пер} \approx 10^{-12} \text{ с}$, тобто є дуже малою величиною. Тому вирішальним чинником, який обмежує швидкодію ключів на МОН-транзисторах є процес перезарядки міжелектродних і зовнішніх ємностей транзистора.

Всі ті ємності, які помітно впливають на швидкодію ключа з динамічним навантаженням, показані на рис. 2.18. Ємності сток-підкладка $C_{сп1}$ транзистора VT1 і виток-підкладка $C_{вп2}$ транзистора VT2 є бар'єрними ємностями р-р переходів стоку і витoku відповідних транзисторів. Металізація затвору МОН-транзисторів обумовлює виникнення ємностей $C_{зв1}$, $C_{зв2}$, $C_{зс1}$, а металева розводка транзистора відносно підкладки створює паразитну ємність $C_{пар}$.

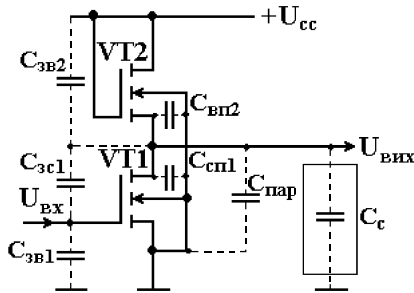


Рис. 2.18. Паразитні ємності n -МОН ключа з динамічним навантаженням

Типові значення перерахованих вище ємностей для кремнієвих МОН-транзисторів інтегральних мікросхем середнього ступеня інтеграції складають: $C_{сп1} = C_{сп2} \approx 0,1$ пФ, $C_{зв1} = C_{зв2} = C_{зс1} \approx 0,03$ пФ, $C_{пар} = 0,4$ пФ.

При аналізі перехідних процесів в ключах на МОН-транзисторах всі ємності, що показані на рис. 2.18, замінюють однією ємністю C_c , підключеною до стоку транзистора VT1, значення якої визначають за формулою:

$$C_c = C_{сп1} + C_{вп2} + C_{зв1} + C_{зв2} + KC_{зс1} + C_{пар}, \quad (2.43)$$

де K – коефіцієнт підсилення напруги каскаду на транзисторі VT1, що враховує дію в схемі ключа **ефекту Міллера**, сутність якого полягає в зміні значення провідності елемента, включеного в ланцюг зворотного зв'язку (в даному випадку ємності $C_{зс1}$). Значення K може складати $\sim 10 - 20$, що обумовлює домінуючий внесок $C_{зс1}$ у величину C_c . Оцінка C_c за формулою (2.43) дає $C_c \sim 1 - 3$ пФ для МОН-транзисторів мікросхем середнього ступеня інтеграції.

Розглянемо перехідні процеси в МОН-ключі з динамічним навантаженням без урахування впливу ємності C_n і опору R_n навантаження ключа, тобто коли $C_n=0$ пФ і $R_n \rightarrow \infty$. Часові діаграми сигналів для цього випадку при подачі на вхід ключа ідеального прямокутного імпульсу напруги з амплітудою $U_{вх}^1 = U_{зв1} > U_{пор1}, U_{свн1}$, показані на рис. 2.19. В момент часу t_1 виникає стрибок вихідної напруги ключа δU^1 , обумовлений передачею частини вхідної напруги безпосередньо на вихід через ємнісний дільник напруги, який утворюють $C_{зс1}$ і $C_{пар}$. Величина δU^1 дорівнює

$$\delta U^1 = \frac{(U_{вх}^1 - U_{вх}^0)C_{зс1}}{C_{зс1} + C_{пар}}. \quad (2.44)$$

При цьому з затримкою $t_{пер}$ (2.42) відкривається транзистор VT1 і струм його стоку відповідно (2.29) приймає значення:

$$I_c(t_1) = 0,5v_1(U_{вх}^1 - U_{пор1})^2. \quad (2.45)$$

Ємність C_c , попередньо заряджена до напруги $U_{сc} - U_{пор2} < U_c < U_{сc}$ (див. рис. 2.14), починає розряджатися через відкритий транзистор VT1.

Тривалість процесу її розрядження, яка визначає тривалість переднього фронту вихідного сигналу $t_{ф}^{10}$, можна оцінити розділивши заряд $Q_c = (U_{сc} + \delta U^1)C_c$ (тут прийнято, що ємність C_c попередньо була заряджена до напруги $U_c = U_{сc}$), на струм розряду. Величину цього струму визначає співвідношення (2.45), але якщо врахувати, що реальний струм розряду зменшується у часі (рис. 2.19) за рахунок переходу робочої точки, яка визначає режим роботи транзистора VT1 з пологої ділянки на круту ділянку його стоккової ВАХ, то тривалість розрядження ємності C_c буде де-що більшою і звичайно її приймають рівною

$$t_{ф}^{10} = 1,5 \frac{(U_{сc} + \delta U^1)C_c}{I_c(t_1)} = \frac{3(U_{сc} + \delta U^1)C_c}{v_1(U_{вх}^1 - U_{пор1})^2}, \quad (2.46)$$

де δU^1 визначається співвідношенням (2.44).

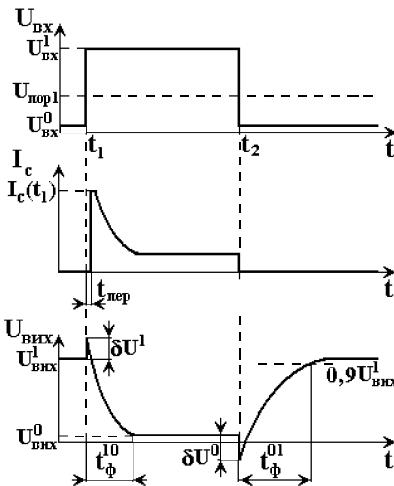


Рис. 2.19 Часові діаграми перехідних процесів в n-МОН транзисторному ключі з динамічним навантаженням

Оцінка на підставі формули (2.46) тривалості фронту t_{ϕ}^{10} при значеннях параметрів інтегральних МОН-транзисторів: $v_1 = 0,5 \text{ мА/В}^2$; $U_{\text{пор1}} = 1,5 \text{ В}$; $C_{\text{зс1}} \approx 0,03 \text{ пФ}$; $C_{\text{пар}} = 0,4 \text{ пФ}$; $C_c = 2 \text{ пФ}$ і значенні високого рівня напруги на вході ключа $U_{\text{вх}}^1 = U_{\text{сс}} = 5 \text{ В}$ показує, що вона складає $t_{\phi}^{10} \approx 5 \text{ нс}$.

У момент часу t_2 вхідний імпульс напруги високого рівня закінчується. За його заднім фронту формується синфазний стрибок напруги $\delta U^0 \approx \delta U^1$. Транзистор VT1 практично миттєво закривається і електричний струм через нього

зменшується практично до нуля (рис. 2.19). Конденсатор C_c починає заряджатись від джерела $U_{\text{сс}}$ через відкритий транзистор VT2. Процес зарядження протікає за законом близьким до експоненціального $U_c = U_{\text{сс}} [1 - \exp(-t/\tau_c)]$ зі сталою часу $\tau_c = C_c R_{\text{VT2}}$, де R_{VT2} – опір транзистора VT2.

Тривалість наростання вихідної напруги до рівня $0,9U_{\text{сс}}$, яка визначає тривалість заднього фронту вихідного сигналу t_{ϕ}^{01} , знаходять із співвідношення $t_{\phi}^{01} = 2,3C_c R_{\text{VT2}}$. Слід зазначити, що в процесі зарядження конденсатора C_c опір R_{VT2} змінюється, оскільки вольт-амперна характеристика транзистора VT2 відповідно до (2.31) є нелінійною. Для спрощення розрахунку приймають, що R_{VT2} величина стала і близька до істинного значення, якщо її обчислити за формулою $R_{\text{VT2}} = U_{\text{сс}} / (0,5I_{\text{сн}})$, де струм насичення транзистора VT2 визначають згідно (2.31). Це приводить до наступного співвідношення для тривалості заднього фронту вихідного сигналу МОН-транзисторного ключа з динамічним навантаженням:

$$t_{\phi}^{01} = 4,6 \frac{(U_{\text{сс}} + \delta U^0) C_c}{I_{\text{сн2}}} = 9,2 \frac{(U_{\text{сс}} + \delta U^0) C_c}{v_2 (U_{\text{сс}} - U_{\text{пор2}})^2} \cdot (2.47)$$

Оцінка на підставі (2.47) величини t_{ϕ}^{01} при використанні значень параметрів інтегральних транзисторів: $v_2 = 0,1 \text{ мА/В}^2$; $U_{\text{пор}2} = 1,5 \text{ В}$; $C_{\text{зс}1} \approx 0,03 \text{ пФ}$; $C_{\text{пар}} = 0,4 \text{ пФ}$; $C_c = 2 \text{ пФ}$ і напруги живлення $U_{\text{с}c} = 5 \text{ В}$ дає $t_{\phi}^{01} \approx 80 \text{ нс}$.

Порівняння одержаних значень тривалостей t_{ϕ}^{10} і t_{ϕ}^{01} свідчить про те, що **тривалість наростання вихідної напруги МОН-ключа t_{ϕ}^{01} помітно більша, ніж тривалість її спаду t_{ϕ}^{10}** . Таким чином, швидкодія МОН-ключів з динамічним навантаженням визначається насамперед величиною t_{ϕ}^{01} .

Розділивши (2.47) на (2.46) одержимо, що відношення $t_{\phi}^{01}/t_{\phi}^{10}$ є пропорційним відношенню v_1/v_2 . Таким чином, зменшення відношення тривалостей можна досягти за рахунок зменшення відношення значень питомої крутизни стоко-затворних характеристик транзисторів v_1/v_2 . Такий варіант можливий, але при цьому, як випливає з (2.34), пропорційно зростає залишкова напруга ключа $U_{\text{з}al}$, що небажано з погляду завадостійкості. Це ще один з недоліків ключів з динамічним навантаженням, який обмежує їх використання у цифровій техніці.

Для розгляду **перехідних процесів в КМОН-ключах** можна використати схему на рис. 2.18, в якій до з'єднаних між собою стоків транзисторів VT1 і VT2 підключена ємність C_c (2.43). Перехідні процеси розглянемо при умові $U_{\text{пор}1} < U_{\text{с}c} < U_{\text{пор}1} + |U_{\text{пор}2}|$. Для схеми КМОН-ключа характерні однотипні ланцюги заряду і розряду ємності C_c . Заряд відбувається через відкритий VT2 при закритому VT1, а розряд – через відкритий VT1 при закритому VT2. У відкритому стані транзистори VT1, VT2 функціонують аналогічно: після відкриття вони спочатку працюють на пентодній, пологій ділянці ВАХ при досить великому струмі I_c , а потім, по мірі зарядження або розрядження ємності C_c , напруга на стоці відповідного відкритого транзистора зменшується нижче $U_{\text{с}вн} = U_{\text{з}в} - U_{\text{пор}}$ і струм його стоку починає визначати тріодна крута ділянка ВАХ, тобто I_c зменшується за законом, який описує співвідношення (2.28). Отже, перехідні процеси в КМОН-ключі подібні до процесу розрядження C_c в ключі з динамічним навантаженням. Це дозволяє використати отримане раніше співвідношення (2.46) для визначення тривалостей переднього t_{ϕ}^{10} і заднього t_{ϕ}^{01} фронтів вихідного сигналу КМОН-ключа:

$$t_{\phi}^{10} = \frac{3(U_{\text{с}c} + \delta U^1)C_c}{v_1(U_{\text{в}x}^1 - U_{\text{пор}1})^2}, \quad (2.48)$$

$$t_{\phi}^{01} = \frac{3(U_{cc} + \delta U^0)C_c}{v_2(U_{cc} - U_{пор2})^2}. \quad (2.49)$$

Якщо при розрахунку t_{ϕ}^{10} і t_{ϕ}^{01} прийняти такі ж самі числові дані, які були використані раніше при розрахунку t_{ϕ}^{10} для МОН-транзисторного ключа з динамічним навантаженням і припустити, що $v_1 = v_2$, $U_{пор1} = |U_{пор2}|$, то на підставі (2.48) і (2.49) можна одержати такі значення: $t_{\phi}^{10} = t_{\phi}^{01} \approx 5$ нс. Таким чином, середня затримка сигналу $t_{зт,ср} = 0,5(t_{\phi}^{10} + t_{\phi}^{01})$, яку іноді використовують для оцінки швидкодії елементів цифрової техніки, складає для КМОН-транзисторного ключа близько 5 нс, що відповідає максимальній частоті його перемикання f близько 50 МГц. Слід зазначити, що транзистори VT1 і VT2 при однакових параметрах не забезпечують мінімального значення $t_{зт,ср}$. Найменшу середню затримку КМОН-ключ має при відношенні крутизни стоко-затворних характеристик транзисторів $v_1/v_2 \sim 1,6$.

З урахуванням викладеного вище можна зробити висновки, що КМОН-ключі мають перевагу порівняно з іншими типами ключів на МОН-транзисторах. **При $U_{пор1} < U_{cc} < U_{пор1} + |U_{пор2}|$ вони споживають в статичному режимі найменшу енергію і забезпечують високу швидкість.** Це обумовлює широкое використання КМОН-ключів в інтегральних мікросхемах комп'ютерної електроніки.

2.3.5. Двоспрямований ключ. На КМОН-транзисторах можна побудувати ще один тип ключа, який не має аналогів у інших типах логіки, що використовуються у цифровій техніці. Це двоспрямований ключ або інша його назва двоспрямований перемикач. Його можна сподобити реле, керування яким здійснюється без затрат потужності. Поряд з КМОН-ключем двоспрямований ключ використовується у багатьох функціональних пристроях не тільки цифрової, але й аналогової електроніки.

Схема двоспрямованого ключа показана на рис. 2.20. Він складається з двох МОН-транзисторів з каналами різних типів провідності. Стоки і витоки транзисторів об'єднані між собою. Керування станом ключа здійснюється двома взаємно інверсними сигналами V і \bar{V} на затворах транзисторів. У загальному випадку двоспрямований ключ може живитися від двохполярного джерела живлення, напруга якого подається на виводи підкладок транзисторів: $+U_{cc}$ – на підкладку р-канального транзистора VT1 і $-U_{cc}$ – на підкладку n-канального транзистора VT2.

На відміну від КМОН-ключа (рис. 2.15), двоспрямований ключ керується не напругою прикладеною між затвором і витком МОН-транзисторів, а напругою між їх затвором і підкладкою. Обидва транзистори VT1 і VT2 відкриті коли на затвор транзистора VT2 з n-каналом

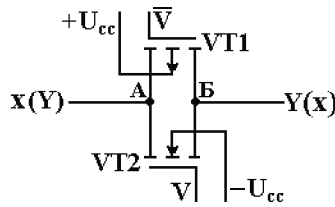


Рис. 2.20. Схема двоспрямованого ключа на КМОН-транзисторах

приходить напруга високого рівня U_{cc} , а на затвор транзистора VT1 з р-каналом – низького рівня $-U_{cc}$. В цьому випадку між затвором і підкладкою VT2 прикладена різниця потенціалів $2U_{cc}$, а між затвором і підкладкою VT1 – різниця потенціалів $-2U_{cc}$. В транзисторах утворюються канали, які мають невеликий електричний опір (100 – 1000 Ом) і двобічну провідність між точками А і Б. Така двобічна провідність забезпечується завдяки симетрії структури МОН-транзисторів (рис. 2.11), які зберігають працездатність, коли сток і виток поміняти місцями. Паралельне увімкнення транзисторів VT1 і VT2 зменшує загальний опір відкритого ключа. Зазначимо, що цей опір залежить від вхідної напруги і напруги живлення ключа і має активний характер. Реактивні складові опору каналів транзисторів не виявляються аж до декількох МГц.

Напруга, яку комутує двоспрямований ключ, подається на виводи x і Y . Кожний з цих виводів, завдяки двоспрямованості, можна використовувати як вхід або вихід. Для нормальної роботи двоспрямованого ключа напруга на його вході завжди повинна перевищувати напругу прикладену до підкладки транзистора з n-каналом (тобто $-U_{cc}$) і не перевищувати напругу прикладену до підкладки транзистора з р-каналом (тобто $+U_{cc}$). Тому напруги живлення двоспрямованого ключа визначають діапазон тих значень вхідної напруги $U_{вх}$, що може перемикаєти ключ. Коли використовується двополярне живлення, напруга $U_{вх}$ обмежена діапазоном $-U_{cc} \leq U_{вх} \leq +U_{cc}$. Якщо ключ використовує однополярне живлення $+U_{cc}$ (в цьому випадку підкладка n-канального транзистора підключається до землі), то вхідна напруга обмежена діапазоном $0 \leq U_{вх} \leq +U_{cc}$, а у випадку використання напруги живлення $-U_{cc}$ (в цьому випадку підкладка р-канального транзистора включається на землю) вхідну напругу ключа обмежує діапазон $-U_{cc} \leq U_{вх} \leq 0$.

При напругах на затворах VT1 і VT2 відносно землі $+U_{cc}$ і $-U_{cc}$, відповідно, різниця потенціалів між затворами і підкладками обох транзисторів дорівнює нулю, канали не утворюються тому транзистори закриті і опір між виводами x і Y двоспрямованого ключа перевищує 10^9 Ом. Ключ розімкнений і зв'язок між його виводами x і Y розірваний.

Для формування взаємно інверсних керуючих сигналів на затворах транзисторів VT1, VT2 двоспрямованого ключа (рис. 2.20), звичайно використовують КМОН-транзисторний ключ (рис. 2.15). Схема двоспрямованого ключа в цьому випадку показана на рис. 2.21а.

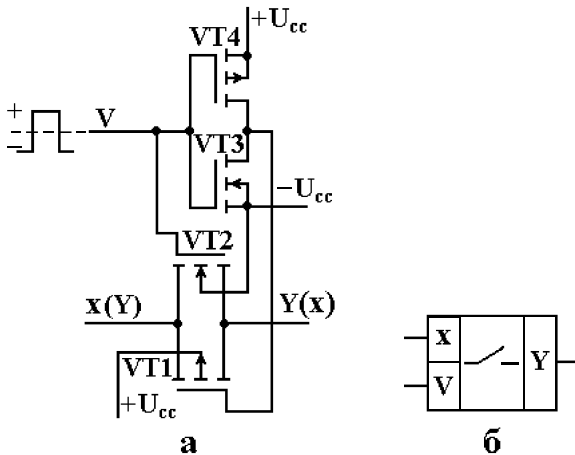


Рис. 2.21. Двоспрямований ключ з керуючим КМОН-ключем:
а – принципова схема; б – умовне зображення

При $V = +U_{cc}$ транзистор VT4 закритий, напругою між його затвором і витоком $U_{звVT4} = U_{cc} - U_{cc} = 0 > -U_{пор}$, а VT3 відкритий напругою $U_{звVT3} = U_{cc} - (-U_{cc}) = 2U_{cc} > U_{пор}$. Напруга живлення $-U_{cc}$ через відкритий VT3 надходить на затвор р-канального VT1 і створює різницю потенціалів між його затвором і підкладкою $-2U_{cc}$, а напруга на вході $V = +U_{cc}$ забезпечує різницю потенціалів $+2U_{cc}$ між затвором і підкладкою n-канального VT2. Тому транзистори VT1, VT2 відкриті, двоспрямований ключ замкнений і його виводи x і Y зв'язані між собою. При $V = -U_{cc}$ транзистор VT4 відкритий, оскільки $U_{звVT4} = -U_{cc} - U_{cc} = -2U_{cc} < -U_{пор}$, а VT3 закритий напругою $U_{звVT3} = -U_{cc} - (-U_{cc}) = 0 < U_{пор}$. Напруга живлення $+U_{cc}$ через відкритий транзистор VT4 надходить на затвор VT1 і створює різницю потенціалів

між його затвором і підкладкою, яка дорівнює нулю, така ж різниця потенціалів між затвором і підкладкою VT2. Транзистори VT1 і VT2 закриті і зв'язок між выводами x і Y ключа розірваний.

Діючими стандартами умовне зображення двоспрямованого ключа не регламентоване. Звичайно його показують так, як представлено на рис. 2.21б.

Двоспрямований ключ, який здатен комутувати, як дискретні так і аналогові сигнали, є важливим елементом для побудови цифро-аналогових (ЦАП) і аналого цифрових (АЦП) перетворювачів, а також різноманітних цифрових і аналогових комутаційних пристроїв і вузлів. Випускаються двоспрямовані ключі також, як самостійні вироби у складі серій інтегральних мікросхем комплементарної МОН-транзисторної логіки. Як приклад наведемо мікросхеми: 564КТ3 (CD4066А), КР1561КТ3 (МС14066В), які містять в корпусі чотири двоспрямованих ключа. В дужках вказані закордонні функціональні аналоги мікросхем.

Контрольні запитання

1. Яке функціональне призначення мають електронні ключі в цифровій техніці ?
2. Назвіть компоненти електронних ключів і дайте характеристику їх призначення у складі схеми ключа.
3. Нарисуйте схему ключа з загальним емітером на n-p-n транзисторі і поясніть принцип його дії.
4. Для схеми ключа на рис. 2.1 знайдіть діапазони вхідної напруги $U_{вх}$, в яких транзистор VT знаходиться в режимі відсічки і насичення, якщо: $U_{cc} = 5 \text{ В}$; $R_k = 500 \text{ Ом}$; $R_b = 2 \text{ кОм}$; $I_{k0} = 0,1 \text{ мкА}$; $\beta = 100$.
5. Які чинники впливають на швидкодію біполярного ключа ?
6. На вхід біполярного ключа надходить ідеальний прямокутний імпульс високого рівня $U_{вх}^1$. Нарисуйте часову діаграму вихідного сигналу ключа. Поясніть причини затримок і викривлення сигналу на виході ключа.
7. Нарисуйте схему біполярного ключа з прискорюючим конденсатором і поясніть принцип дії такого ключа.
8. Нарисуйте схему ненасиченого біполярного ключа. За рахунок яких чинників такий ключ має підвищену швидкодію порівняно з насиченим біполярним ключем ?
9. Що таке транзистор Шотткі ?
10. Нарисуйте схему ключа з динамічним навантаженням на транзисторах Шотткі. Поясніть принцип дії такого ключа.
11. Які характеристики мають МОН-транзистори ?
12. Нарисуйте схему МОН-транзисторного ключа з динамічним навантаженням і поясніть принцип його дії.

13. При якому співвідношенні крутизни стоко-затворних характеристик активного і навантажувального транзисторів забезпечується мала залишкова напруга $U_{\text{зал}}$ МОН-транзисторного ключа з динамічним навантаженням ?
14. Розрахуйте напругу низького рівня $U_{\text{вих}}^0$ на виході МОН-транзисторного ключа з динамічним навантаженням, якщо параметри активного транзистора $v_1 = 0,5 \text{ A/B}^2$, $U_{\text{пор}} = 1,5 \text{ В}$, транзистора навантаження $v_2 = 0,02 \text{ A/B}^2$, $U_{\text{пор}} = 1 \text{ В}$, а напруга живлення U_{cc} і напруга високого рівня на виході ключа $U_{\text{вих}}^1 = U_{\text{cc}} = 5 \text{ В}$.
15. Нарисуйте схему КМОН-ключа і поясніть принцип його дії при умові $U_{\text{cc}} > U_{\text{пор1}} + |U_{\text{пор2}}|$.
16. Розрахуйте максимальний струм вихідного ланцюга КМОН-ключа, якщо: $v_1 = v_2 = 0,5 \text{ A/B}^2$; $U_{\text{пор1}} = |U_{\text{пор2}}| = 1,5 \text{ В}$; $U_{\text{cc}} = 10 \text{ В}$.
17. Розгляньте роботу КМОН-ключа у випадку, коли напруга живлення задовольняє умові $U_{\text{пор1}} < U_{\text{cc}} < U_{\text{пор1}} + |U_{\text{пор2}}|$. Які переваги та недоліки має КМОН-ключ у цьому випадку, порівняно з випадком $U_{\text{cc}} > U_{\text{пор1}} + |U_{\text{пор2}}|$?
18. Які чинники обмежують швидкодію МОН-транзисторних ключів ?
19. На вхід МОН-транзисторного ключа з динамічним навантаженням надходить ідеальний прямокутний імпульс високого рівня $U_{\text{вх}}^1$. Нарисуйте часову діаграму вихідного сигналу ключа. Який з перехідних процесів найбільше обмежує швидкодію такого ключа ?
20. Розгляньте перехідні процеси у КМОН-ключі при надходженні на його вхід ідеального прямокутного імпульсу напруги високого рівня $U_{\text{вх}}^1$.
21. Чому перевагу при створенні інтегральних мікросхем комп'ютерної електроніки віддають КМОН-ключам ?
22. Нарисуйте схему двоспрямованого ключа з управляючим інвертором при використанні однополярного живлення $+U_{\text{cc}}$ і поясніть принцип його дії.
23. Які вимоги ставлять до величини вхідної напруги, що може перемикає двоспрямований ключ ?
24. Для живлення двоспрямованого ключа використовують однополярну напругу $U_{\text{cc}} = +15 \text{ В}$. Який діапазон вхідних напруг здатен комутувати такий ключ ?